

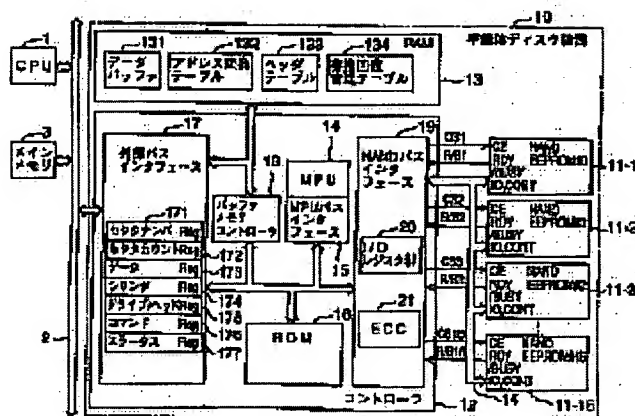
SEMICONDUCTOR DISK DEVICE

Patent number: JP7302176
Publication date: 1995-11-14
Inventor: SUKEGAWA HIROSHI
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
 - international: G06F3/08; G06F3/06; G11C11/406; G11C16/06
 - european:
Application number: JP19940095126 19940509
Priority number(s): JP19940095126 19940509

Report a data error here

Abstract of JP7302176

PURPOSE: To improve the write access speed to a flush EEPROM. **CONSTITUTION:** A NAND bus interface 19 receives 16 ready/busy signals from flush EEPROMs 11-1-11-16 independently and manages the operating state of each flush EEPROM. Thus, a flush EEPROM being a write access object is ready without awaiting the end of operation of all the flush EEPROMs 11-1-11-16 and the write access to the flush EEPROM being the write access object is started. Furthermore, since each flush EEPROM is of a command control type in which the write operation is automatically executed, it is possible to make write access to other flush EEPROM while a flush EEPROM is in data write state and then the plural flush EEPROMs are operated in parallel.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(11)特許出願公開番号

(43)公開日 平成7年(1995)11月14日

G 1 1 C 11/ 34 3 6 3 K
17/ 00 5 1 0 Z

審査請求 未請求 請求項の数5 OL (全 31 頁) 最終頁に続く

(71)出願人 000003078

神奈川県川崎市幸区堀川町72番地

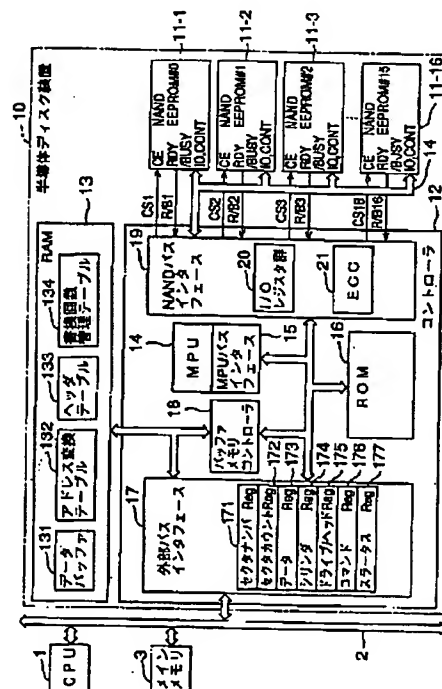
(72)発明者 助川 博

東京都青梅市末広町2丁目9番地 株式会社東芝青梅工場内

(74)代理人 弁理士 鈴江 武彦

(57) 【要約】

【構成】NANDバスインタフェース19は、フラッシュEEPROM11-1~11-16それぞれからの16本のレディー/ビジー信号を独立して受信し、フラッシュEEPROM毎に動作状態を管理する。このため、全てのフラッシュEEPROM11-1~11-16の動作完了を待つことなく、ライトアクセス対象のフラッシュEEPROMがレディー状態になりさえすれば、そのライトアクセス対象のフラッシュEEPROMに対するライトアクセスを開始する事ができる。また、各フラッシュEEPROMはライト動作を自動実行可能なコマンド制御タイプのものであるので、あるフラッシュEEPROMのデータ書き込み動作期間中に別のフラッシュEEPROMに対するライトアクセスを行うことが可能になり、複数のフラッシュEEPROMを並行して動作させる事ができる。



【特許請求の範囲】

【請求項1】 外部からのライトコマンドに応じてデータ書き込み動作を自動実行し、そのデータ書き込み動作期間中にはビジステートのレディー／ビジー信号を発生する複数のフラッシュEEPROMを内蔵し、ホスト装置からのディスクアクセス要求に応じてそれら複数のフラッシュEEPROMをアクセスする半導体ディスク装置において、

前記ホスト装置から転送されるライトデータを格納するデータバッファと、

前記複数のフラッシュEEPROMから出力される複数のレディー／ビジー信号をそれぞれ受信する複数の入力ポートを有し、それらレディー／ビジー信号に応じて前記複数のフラッシュEEPROMそれぞれのレディー／ビジー状態を示す複数のステータスデータを保持するレディー／ビジー管理手段と、

前記ホスト装置からのライトアクセス要求に応じて、前記複数のフラッシュEEPROMをライトアクセスするライトアクセス手段とを具備し、

このライトアクセス手段は、

前記ディスクアクセス要求によって指定されたライトアクセス対象のフラッシュEEPROMに対応するステータスデータを参照して、前記ライトアクセス対象フラッシュEEPROMがレディー状態か否かを決定する手段と、

前記ライトアクセス対象フラッシュEEPROMがレディー状態であることが決定された際、前記ライトアクセス対象フラッシュEEPROMにライトコマンドを発行してデータ書き込み動作を実行させる手段とを具備することを特徴とする半導体ディスク装置。

【請求項2】 前記各フラッシュEEPROMは、複数のページからそれぞれ構成される複数の消去ブロックを有するメモリアルレイと、外部から転送される1ページ分のデータを保持するデータレジスタとを有し、外部からのライトコマンドにตอบสนองして、データレジスタに転送されたデータをメモリアルレイに書き込むページライト動作を自動実行するように構成されていることを特徴とする請求項1記載の半導体ディスク装置。

【請求項3】 前記ライトアクセス手段は、前記ライトアクセス対象フラッシュEEPROMがレディー状態であることが決定された際、前記データバッファのライトデータから1ページ分のデータを読み出して前記ライトアクセス対象フラッシュEEPROMのデータレジスタに転送する手段を含むことを特徴とする請求項2記載の半導体ディスク装置。

【請求項4】 シリンダ番号、ヘッド番号およびセクタ番号によって指定される前記ホスト装置からの論理アドレスを、前記複数のフラッシュEEPROMの1つを選択するためのチップ番号アドレスおよび選択されたチップ内のブロックおよびページを指定するためのメモリア

ドレスを含む物理アドレスに変換するアドレス変換手段をさらに具備し、

このアドレス変換手段により、前記複数のフラッシュEEPROMには連続した論理アドレス値がそれらチップを横断するように割り当てられることを特徴とする請求項1記載の半導体ディスク装置。

【請求項5】 複数のページからそれぞれ構成される複数の消去ブロックを有するメモリアルレイと、外部から転送される1ページ分のデータを保持するデータレジスタとをそれぞれ有し、外部からのライトコマンドに応じて、データレジスタに転送されたデータをメモリアルレイに書き込むページライト動作を自動実行し、そのページライト動作期間中にはビジステートのレディー／ビジー信号を発生する複数のフラッシュEEPROMを内蔵し、ホスト装置からのディスクアクセス要求に応じてそれら複数のフラッシュEEPROMをアクセスする半導体ディスク装置において、

前記ホスト装置から転送されるライトデータを格納するデータバッファと、

前記複数のフラッシュEEPROMから出力される複数のレディー／ビジー信号をそれぞれ受信する複数の入力ポートを有し、それらレディー／ビジー信号に応じて前記複数のフラッシュEEPROMそれぞれのレディー／ビジー状態を示す複数のステータスデータを保持するレディー／ビジー管理手段と、

前記ホスト装置からのライトアクセス要求に応じて、前記複数のフラッシュEEPROMをライトアクセスするライトアクセス手段とを具備し、

このライトアクセス手段は、

前記ライト要求によって指定されたライトアクセス対象の複数のフラッシュEEPROMそれぞれに対応する複数のブロック分のブロックライトデータを生成する手段と、前記ライトアクセス対象の複数のフラッシュEEPROMに対して順番にブロックライトデータの1ページ分のデータ転送およびライトコマンドの発行を実行し、それらライトアクセス対象の複数のフラッシュEEPROMそれぞれにページライト動作を実行させる手段と、

前記複数のライトアクセス対象フラッシュEEPROMにそれぞれ対応するステータスデータを参照して、ライトアクセス対象フラッシュEEPROM毎にページライト動作の終了の有無を検出する手段と、

この検出手段の検出結果に基づいて、次ページのページライト動作を実行させるためのデータ転送およびライトコマンドの発行を、ページライト動作が終了したフラッシュEEPROMから順次実行する手段とを具備することを特徴とする半導体ディスク装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体ディスク装置に関し、特にページライト動作を自動実行する機能を持つ

複数のフラッシュEEPROMを内蔵し、ホスト装置からのディスクアクセス要求に応じてそれらフラッシュEEPROMをアクセスする半導体ディスク装置に関する。

【0002】

【従来の技術】従来のワークステーションやパーソナルコンピュータ等の情報処理装置の多くは、2次記憶装置として磁気ディスク装置を用いていた。磁気ディスク装置は、記録の信頼性が高い、ビット単価が安いなどの利点がある反面、装置のサイズが大きい、物理的な衝撃に

弱いなどの欠点を持つ。
【0003】そこで、近年、装置のサイズが小さく物理的な衝撃にも強い半導体ディスク装置に注目が集まっている。半導体ディスク装置とは、電氣的に一括消去が可能な不揮発性の半導体メモリであるフラッシュEEPROMを、従来の磁気ディスク装置などと同様にパーソナルコンピュータなどの2次記憶装置として用いるものである。この半導体ディスク装置には、磁気ディスク装置の磁気ヘッドや回転ディスクのような機械的な可動部分を含まないため、物理的な衝撃による誤動作や故障が発生しにくい。また、装置としてのサイズも小さくなる等の利点がある。

【0004】ところで、最近では、全ての動作モードが外部からのコマンドによって指定可能ないわゆるコマンド制御タイプのフラッシュEEPROMが種々開発されている。

【0005】この種のフラッシュEEPROMは、1ページ分のデータを保持するデータレジスタを備えており、データレジスタからメモリセルアレイへのデータ書き込み動作や、メモリセルアレイからデータレジスタへのデータ読み出し動作を外部からの制御なしで自動実行する事ができる。外部システムは、フラッシュEEPROMのデータ書き込み/読み出し動作が終了したかどうかを、フラッシュEEPROMからのレディー/ビジー信号によって判断する事ができる。

【0006】このようなコマンド制御タイプの複数のフラッシュEEPROMを半導体ディスク装置に内蔵して使用した場合には、その半導体ディスク装置内のコントローラは、コマンドを発行してフラッシュEEPROMの動作モードを一旦指定しさえすればその後はそのフラッシュEEPROMの制御から解放される。このため、例えば、あるフラッシュEEPROMの書き込み動作中に、待機中の別のフラッシュEEPROMに対するライトアクセスを行う事が可能である。

【0007】しかしながら、従来の半導体ディスク装置では、複数のフラッシュEEPROMそれぞれからのレディー/ビジー信号のAND出力を1本の信号線としてコントローラに入力する構成が採用されており、フラッシュEEPROM毎に独立してその動作状態(レディー/ビジー)を検出する事ができなかった。

【0008】このため、フラッシュEEPROMのコマンド制御機能を有効利用する事ができず、あるフラッシュEEPROMの書き込み動作中に、待機中の別のフラッシュEEPROMに対するライトアクセスを行うといった並列処理は行われていなかった。

【0009】

【発明が解決しようとする課題】従来の半導体ディスク装置では、コマンド制御タイプのフラッシュEEPROMに対応した構成が採用されておらず、たとえコマンド制御タイプのフラッシュEEPROMを利用したとしても、フラッシュEEPROM毎に独立してその動作状態(レディー/ビジー)を検出する事はできない。このため、複数のフラッシュEEPROMに書き込み動作を同時実行させる事ができず、動作性能の向上を実現する事はできなかった。

【0010】この発明はこのような点に鑑みてなされたもので、フラッシュEEPROM毎に独立してその動作状態(レディー/ビジー)を検出できるようにして、複数のフラッシュEEPROMに書き込み動作を同時実行させることが可能な半導体ディスク装置を提供することを目的とする。

【0011】

【課題を解決するための手段および作用】この発明は、外部からのライトコマンドに応じてデータ書き込み動作を自動実行し、そのデータ書き込み動作期間中にはビジステートのレディー/ビジー信号を発生する複数のフラッシュEEPROMを内蔵し、ホスト装置からのディスクアクセス要求に応じてそれら複数のフラッシュEEPROMをアクセスする半導体ディスク装置において、前記ホスト装置から転送されるライトデータを格納するデータバッファと、前記複数のフラッシュEEPROMから出力される複数のレディー/ビジー信号をそれぞれ受信する複数の入力ポートを有し、それらレディー/ビジー信号に応じて前記複数のフラッシュEEPROMそれぞれのレディー/ビジー状態を示す複数のステータスデータを保持するレディー/ビジー管理手段と、前記ホスト装置からのライトアクセス要求に応じて、前記複数のフラッシュEEPROMをライトアクセスするライトアクセス手段とを具備し、このライトアクセス手段は、前記ディスクアクセス要求によって指定されたライトアクセス対象のフラッシュEEPROMに対応するステータスデータを参照して、前記ライトアクセス対象フラッシュEEPROMがレディー状態か否かを決定する手段と、前記ライトアクセス対象フラッシュEEPROMがレディー状態であることが決定された際、前記ライトアクセス対象フラッシュEEPROMにライトコマンドを発行してデータ書き込み動作を実行させる手段とを具備することを特徴とする。

【0012】この半導体ディスク装置においては、複数のレディー/ビジー信号が独立して受信される事によ

り、フラッシュEEPROM毎に動作状態を管理することができる。このため、全てのフラッシュEEPROMの動作完了を待つことなく、ライトアクセス対象のフラッシュEEPROMがレディー状態になりさえすれば、ライトアクセスを開始する事ができる。また、この半導体ディスク装置で使用されているフラッシュEEPROMは、ライト動作を自動実行可能なコマンド制御タイプのものである。このため、ライトアクセス手段は、あるフラッシュEEPROMにライトコマンドを発行しさえすれば、その後はそのライト制御動作から解放される。したがって、あるフラッシュEEPROMのデータ書き込み動作期間中に別のフラッシュEEPROMに対するライトアクセスを行うことが可能になり、複数のフラッシュEEPROMを並行して動作させる事ができる。よって、データ書き込み速度の向上を図る事ができる。

【0013】また、複数のフラッシュEEPROMに対しては連続するセクタ番号をそれらチップに横断して割り当てることが好ましい。これにより、ホスト装置から連続セクタに跨がるライトデータの書き込みが要求された場合に、そのライトデータの書き込みを複数のフラッシュEEPROMに分散させて実行させることが可能となり、書き込み動作をより効率的に行う事が可能になる。

【0014】また、この発明は、複数のページからそれぞれ構成される複数の消去ブロックを有するメモリセルアレイと、外部から転送される1ページ分のデータを保持するデータレジスタとをそれぞれ有し、外部からのライトコマンドに応じて、データレジスタに転送されたデータをメモリセルアレイに書き込むページライト動作を自動実行し、そのページライト動作期間中にはビジーデートのレディー／ビジー信号を発生する複数のフラッシュEEPROMを内蔵し、ホスト装置からのディスクアクセス要求に応じてそれら複数のフラッシュEEPROMをアクセスする半導体ディスク装置において、前記ホスト装置から転送されるライトデータを格納するデータバッファと、前記複数のフラッシュEEPROMから出力される複数のレディー／ビジー信号をそれぞれ受信する複数の入力ポートを有し、それらレディー／ビジー信号に応じて前記複数のフラッシュEEPROMそれぞれのレディー／ビジー状態を示す複数のステータスデータを保持するレディー／ビジー管理手段と、前記ホスト装置からのライトアクセス要求に応じて、前記複数のフラッシュEEPROMをライトアクセスするライトアクセス手段とを具備し、このライトアクセス手段は、前記ライト要求によって指定されたライトアクセス対象の複数のフラッシュEEPROMにそれぞれ対応する複数ブロック分のブロックライトデータを生成する手段と、前記ライトアクセス対象の複数のフラッシュEEPROMに対して順番に対応するブロックライトデータの1ページ分のデータ転送およびライトコマンドの発行を実行し、それらライトアクセス対象の複数のフラッシュEEPROM

それぞれにページライト動作を実行させる手段と、前記複数のライトアクセス対象フラッシュEEPROMにそれぞれ対応するステータスデータを参照して、ライトアクセス対象フラッシュEEPROM毎にページライト動作の終了の有無を検出する手段と、この検出手段の検出結果に基づいて、次ページのページライト動作を実行させるためのデータ転送およびライトコマンドの発行を、ページライト動作が終了したフラッシュEEPROMから順次実行する手段とを具備することを特徴とする。

【0015】この半導体ディスク装置においては、ライトアクセス対象の複数のフラッシュEEPROMにそれぞれ対応する複数のライトデータブロックが生成され、ページライト動作が終了したチップから順に次のページライト動作が実行される。このため、半導体ディスク装置に含まれるフラッシュEEPROMの性能そのものの差やページライトベリファイによって再試行されるページライト動作の回数の差などによって、チップ間でページライトに要する時間に違いが生じる場合においても、内蔵チップの書き込み性能を最大限引き出す事ができる。

【0016】

【実施例】以下、図面を参照してこの発明の実施例を説明する。

【0017】図1には、この発明の一実施例に係わる半導体ディスク装置の構成が示されている。この半導体ディスク装置10は、ハードディスク装置の代替としてパーソナルコンピュータなどのホストシステムに接続されて使用されるものであり、ホストシステム（ファイルシステム、磁気ディスク装置用のドライバ）からのディスクアクセス要求をフラッシュEEPROMに対するアクセス要求にエミュレートして、半導体ディスク装置10内蔵のフラッシュEEPROMをアクセスする。この半導体ディスク装置10には、最大16個のフラッシュEEPROMチップを搭載することが可能である。これらフラッシュEEPROMは、それぞれICソケットを介して半導体ディスク装置10の回路基盤に着脱自在に実装される。図1においては、16個のNAND型フラッシュEEPROM11-1～11-16が搭載されている状態が示されている。半導体ディスク装置10には、さらに、コントローラ12、およびRAM13が設けられている。

【0018】フラッシュEEPROM11-1～11-16は、この半導体ディスク装置10の記録媒体として使用されるものであり、ハードディスク装置の磁気記録媒体に相当する。これらフラッシュEEPROM11-1～11-16はNANDメモリバス14を介してコントローラ12に接続されている。NANDメモリバス14には、8ビット幅のデータバス、および各フラッシュEEPROMの制御信号端子に接続される各種制御信号線が定義されている。I/Oデータバスおよび各種制御信号線は、それぞれフラッシュEEPROM11-1～

7

11-16のデータ入出力端子I/O、および制御信号入力端子CONT（コマンドラッチイネーブル端子CLE、アドレスラッチイネーブル端子ALE、ライトイネーブル端子WE、リードイネーブル端子REなどを含む）に共通接続されている。

【0019】さらに、フラッシュEEPROM11-1～11-6とコントローラ12の間には、チップセレクト信号（CS1～CS8）線、およびReady/Busy信号線（R/B1～R/B16）がそれぞれチップ毎に独立して配設されている。

【0020】これらフラッシュEEPROM11-1～11-6はそれぞれ16MビットのNAND型EEPROMであり、図2に示されているように、メモリアルレイ111とデータレジスタ112を備えている。メモリアルレイ111は、8K行×264列×8ビットのビット構成を有し、512個のブロックを有している。データ消去はこのブロック単位で実行することができる。各ブロックは16ページ（行）から構成されており、各ページは、256バイトのデータ記憶領域と8バイトの冗長領域を備えている。データの書き込みと読み出しは、256+8バイトのデータレジスタ112を介してページ単位で実行される。この半導体ディスク装置においては、各ページの冗長領域はECCや書換回数データの格納に利用される。

【0021】フラッシュEEPROM11-1～11-6はそれぞれライトモード、リードモード、消去モードなどの動作モードを有しており、これら動作モードはコントローラ12からのコマンドによって指定される。

【0022】リードモードにおいては、メモリアルレイ111からデータレジスタ112へのページ単位のデータ転送（ページリード）がフラッシュEEPROM内部で自動実行される。このデータ転送期間中はReady/Busy信号線はBusy状態に設定され、これによってページリード動作中であることがコントローラ12に通知される。データレジスタ112に転送された1ページ分のデータは、入出力端子I/O0～I/O7から8ビット単位でシリアルに読み出される。1ページ分のデータのシリアルリードが終了すると、次のページのページリードが自動的に実行される。

【0023】ライトモードにおいては、データレジスタ112からメモリアルレイ111へのページ単位のデータ転送（ページライト）がフラッシュEEPROM内部で自動実行される。このデータ転送期間中はReady/Busy信号線はBusy状態に設定され、これによってページライト動作中であることがコントローラ12に通知される。

【0024】消去モードにおいては、コントローラからのコマンドによって指定された任意のブロックの記憶内容が一括消去される。

【0025】半導体ディスク装置10においては、これ

8

らフラッシュEEPROM11-1～11-6の制御のための処理の殆どはファームウェアによって制御される。ハードウェアによって実行されるのは、フラッシュEEPROMへのデータ書き込みの際のECC生成と、フラッシュEEPROMからのデータ読み出しの際のECCチェックである。

【0026】次に、半導体ディスク装置10のディスクコントローラ12の構成を説明する。

【0027】ディスクコントローラ12は1個のLSIによって実現されており、そのLSIチップには、図1に示されているように、マイクロプロセッサ（MPU）14、プロセッサバスインタフェース15、ROM16、外部バスインタフェース17、バッファメモリコントローラ18、およびNANDバスインタフェース19が集積形成されている。

【0028】マイクロプロセッサ14は、ROM16に格納されたファームウェアを実行してこの半導体ディスク装置10全体の動作を制御するものであり、パーソナルコンピュータのCPU1から送られるディスクアクセスのためのホストアドレスを、フラッシュEEPROM11-1～11-6をアクセスするためのメモリアドレスに変換するアドレス変換処理、フラッシュEEPROM11-1～11-6をリード/ライトアクセスするためのアクセス制御処理、フラッシュEEPROM11-1～11-6それぞれのデータ書換回数の管理、およびデータ書換回数を平準化するためのスワッピング処理の制御などを行う。

【0029】ROM16には、マイクロプロセッサ14によって実行されるファームウェア、およびパーソナルコンピュータのCPU1によって実行されるオペレーティングシステムやアプリケーションプログラムなどの各種プログラムが格納されている。オペレーティングシステムやアプリケーションプログラムはROM16内でファイルとして管理されており、それらプログラムはCPU1から半導体ディスク装置10に対して発行される読み出し要求に応じてROM16から読み出され、そしてパーソナルコンピュータのメインメモリ3にロードされる。

【0030】ROM16およびフラッシュEEPROM11-1～11-6には、連続するディスクアドレスがマッピングされており、ROM16もディスク装置10の記憶媒体の一部として利用される。このため、ROM16に格納されているオペレーティングシステムやアプリケーションプログラムの読み出しは、CPU1からの読み出し要求が、ある特定の番地を指定している時のみ実行され、その他の番地を指定している時はフラッシュEEPROM11-1～11-6に対するリードアクセスが行われる。

【0031】外部バスインタフェース17は、IDEやPCMCIA仕様に準拠したインタフェースであり、バ

パーソナルコンピュータのシステムバス2に接続される。外部バスインタフェース17には、CPU1との通信のためのI/Oレジスタ群が設けられている。レジスタ群には、セクタナンバレジスタ171、セクタカウントレジスタ172、データレジスタ173、シリンダレジスタ174、ドライブ/ヘッドレジスタ175、コマンドレジスタ176、ステータスレジスタ177などが含まれている。これらレジスタは、マイクロプロセッサ14およびパーソナルコンピュータのCPU1によってそれぞれリード/ライト可能である。

【0032】セクタナンバレジスタ171には、アクセス先頭位置を指定するセクタ番号がCPU1によってライトされる。セクタカウントレジスタ172には、リード/ライト対象のセクタ数がCPU1によってライトされる。データレジスタ173には、CPU1から供給されるライトデータまたは半導体ディスク装置10から読み出されるリードデータが設定される。シリンダレジスタ174には、リード/ライト対象のシリンダ番号がCPU1によってライトされる。ドライブ/ヘッドレジスタ175には、リード/ライト対象のドライブ番号、およびヘッド番号がCPU1によってライトされる。コマンドレジスタ176には、半導体ディスク装置10の動作を指定するリードコマンドやライトコマンド等がCPU1によってライトされる。ステータスレジスタ177には、CPU1に通知すべき半導体ディスク装置10の各種ステータスがセットされる。

【0033】バッファメモリコントローラ18は、RAM13をアクセス制御するためのものであり、システムバス2とRAM13間のデータ転送などを行う。データ転送には、システムバス2とRAM13間のデータ転送の他、RAM13とフラッシュEEPROM11-1~11-16間のデータ転送がある。後者のデータ転送は、マイクロプロセッサ14によるムーブストリング命令の実行によって行われる。

【0034】NANDバスインタフェース19は、マイクロプロセッサ14の制御の下にフラッシュEEPROM11-1~11-16をアクセス制御するハードウェアロジックであり、フラッシュEEPROM11-1~11-16との間のデータ転送、およびフラッシュEEPROMとの間の各種制御信号の授受を行う。

【0035】このNANDバスインタフェース19には、図示のように、NANDメモリバス14に接続される入出力端子の他、16個のフラッシュEEPROM11-1~11-16それぞれからのReady/Busy信号線(R/B1~R/B16)をそれぞれチップ毎に独立して入力するための16個の入力端子と、16個のフラッシュEEPROM11-1~11-16それぞれにチップセレクト信号(CS1~CS8)を独立して出力するための16個の出力端子が設けられている。

【0036】また、NANDバスインタフェース19に

は、マイクロプロセッサ14によってリード/ライト可能なI/Oレジスタ群20と、ECC演算回路21が設けられている。ECC演算回路21は、ECC生成のための演算およびECCチェックのための演算を行う。

【0037】I/Oレジスタ群20には、図3に示されているように、NANDチップナンバレジスタ201、NANDデータリード/ライトレジスタ202、NANDチップイネーブル制御レジスタ203、NANDコマンドラッチイネーブル制御レジスタ204、NANDアドレスラッチイネーブル制御レジスタ205、ECCスタート制御レジスタ206、ECCレディー/ビジーステータスレジスタ207、LWCレジスタ208、6個のECCデータレジスタ209~214、および16個のNANDチップレディー/ビジーステータスレジスタ215-1~215-16などが含まれている。

【0038】NANDチップナンバレジスタ201は、どのNAND型フラッシュEEPROMに対して処理を実行するかを選択するためのレジスタであり、アクセス対象のNAND型フラッシュEEPROMのチップ番号を示す値がプロセッサ14によってセットされる。

【0039】NANDデータリード/ライトレジスタ202は、データバスを介してフラッシュEEPROMに対するデータのリード/ライトを行うためのレジスタであり、フラッシュEEPROMに対するコマンドの発行、アドレスの発行、ステータスデータのリードなどに使用される。

【0040】NANDチップイネーブル制御レジスタ203は、フラッシュEEPROMのチップイネーブル端子CEを制御するためのレジスタであり、チップセレクト信号の発生/非発生を示すフラグがプロセッサ14によってセットされる。ビット0にフラグ“1”がセットされると、NANDバスインタフェース19は、NANDチップナンバレジスタ201によって選択されたフラッシュEEPROMのチップイネーブル端子CEをアクティブにするためのチップセレクト信号(CS)を発生する。

【0041】NANDコマンドラッチイネーブル制御レジスタ204は、フラッシュEEPROMのコマンドラッチイネーブル端子CLEを制御するためのレジスタであり、コマンドラッチイネーブル端子CLEをアクティブにするか否かを指定するフラグがプロセッサ14によってセットされる。ビット0にフラグ“1”がセットされると、フラッシュEEPROMのコマンドラッチイネーブル端子CLEがNANDバスインタフェース19によってアクティブに設定される。これにより、データバスにコマンドが発行されたことが、フラッシュEEPROMに対して通知される。

【0042】NANDアドレスラッチイネーブル制御レジスタ205は、フラッシュEEPROMのアドレスラッチイネーブル端子ALEを制御するためのレジスタで

あり、アドレスラッチイネーブル端子ALEをアクティブにするか否かを指定するフラグがプロセッサ14によってセットされる。ビット0にフラグ“1”がセットされると、フラッシュEEPROMのアドレスラッチイネーブル端子ALEがNANDバスインタフェース19によってアクティブに設定される。これにより、データバスにアドレスが発行されたことが、フラッシュEEPROMに対して通知される。

【0043】ECCスタート制御レジスタ206は、ECC演算の実行開始を制御するためのレジスタであり、RAM13とフラッシュEEPROM11-1~11-16との間のデータ転送を開始する前に、ECC演算の実行開始を指定するフラグがプロセッサ14によってセットされる。フラッシュEEPROMからRAM13へのデータ転送を行う時は、ビット0に“1”がセットされる。この場合、ECC演算回路21は、フラッシュEEPROMから読み出されるデータについてECCチェックを行う。RAM13からフラッシュEEPROMへのデータ転送を行う時は、ビット0に“0”がセットされる。この場合、ECC演算回路21は、RAM13から転送されるデータについてECCの生成を行う。

【0044】ECCレディー/ビジーステータスレジスタ207は、ECC演算回路21によるECC演算(ECC生成またはECCチェック)が実行中か否かを示すステータスレジスタである。NANDバスインタフェース19は、ECC演算実行中であればビット0に“1”のフラグをセットし、ECC演算の実行が終了すると、ビット0に“0”のフラグをセットする。プロセッサ14は、RAM13とフラッシュEEPROM11-1~11-16との間における256バイトのデータ転送終了後にレジスタ207のフラグを参照してECC演算処理の終了の有無を調べ、そして終了を確認すると、次の256バイトのデータ転送処理を開始する。

【0045】LWCレジスタ208には、フラッシュEEPROMの8バイトの冗長領域の先頭の2バイトに格納すべきデータ、例えば、書換回数データの下位ビットであるLWC(Low Write Count)データがセットされる。この場合、RAM13からフラッシュEEPROMへのデータ転送においては、そのデータ転送に先立って、転送先となるフラッシュEEPROMのライト対象ブロックに対応したLWCデータがファームウェアによってセットされる。フラッシュEEPROMからRAM13へのデータ転送においては、フラッシュEEPROMから読み出されるデータ列からLWCデータがNANDバスインタフェース19によって取り出され、それがセットされる。

【0046】ECCデータレジスタ209~214は、6バイトのECCデータを保持するためのレジスタ群である。RAM13からフラッシュEEPROMへのデータ転送時は、256バイトのライトデータに対応する6

バイトのECCデータがECC演算回路21によって生成され、その生成されたECCデータがECCデータレジスタ209~214にセットされる。フラッシュEEPROMからRAM13へのデータ転送時は、ECC演算回路21によって実行されるECCチェック演算の結果がレジスタ209~214にセットされる。このECCチェック演算は、エラー検出を行うために実行される。このECCチェック演算においては、256バイトのリードデータに対応する6バイトのECCデータが再度生成され、その6バイトのECCデータとフラッシュEEPROMから実際に読み出された6バイトのECCデータとの比較がバイト単位で行われる。一致すれば“0”、不一致であれば“1”が対応するレジスタのビット0にセットされる。したがって、エラーが発生してなければ、ECCデータレジスタ209~214のビット0にセットされる値は全て“0”となる。

【0047】NANDチップレディー/ビジーステータスレジスタ215-1~215-16は、16個のフラッシュEEPROM11-1~11-16それぞれのレディー/ビジーステータスを保持するレジスタ群であり、各レジスタのビット0には対応するフラッシュEEPROMがレディー状態であるかビジー状態であるかを示すフラグがNANDバスインタフェース19によってセットされる。レディー状態ならばフラグ“1”が、ビジー状態であればフラグ“0”がセットされる。

【0048】レディー状態であるかビジー状態であるかは、フラッシュEEPROM11-1~11-16からそれぞれ独立して入力されるレディー/ビジー信号(R/B1~R/B16)の論理レベルによってチップ毎に判定される。

【0049】図1のRAM13はダイナミックRAMから構成されており、その記憶領域の一部はパーソナルコンピュータのCPU1から転送されるライトデータ、およびフラッシュEEPROM11-1~11-16から読み出されるリードデータを保持するデータバッファ131として使用される。また、RAM13は、マイクロプロセッサ14の作業領域として使用され、ここには、ホストアドレスをメモリアドレスに変換するためのアドレス変換テーブル132、フラッシュEEPROMに書き込むべき1ブロック分のブロックデータの格納位置を管理するヘッダテーブル133、フラッシュEEPROM11-1~11-16の書換回数をブロック単位で管理するための書換回数管理テーブル134などが格納される。

【0050】次に、図4を参照して、マイクロプロセッサ14によって管理される半導体ディスク装置10内のメモリマップについて説明する。

【0051】マイクロプロセッサ14が管理するメモリアドレス空間には、図示のように、RAM領域、NANDメモリデータ領域、アプリケーションROM(APL

ーROM) 領域、およびファームウェアROM (FW-ROM) 領域がマッピングされている。

【0052】RAM領域はRAM13をアクセスするためのメモリアドレス空間であり、ここにはデータバッファ131などが割り当てられている。

【0053】NANDメモリデータ領域は、フラッシュEEPROM11-1~11-16をアクセスするための256バイトのアドレス空間である。フラッシュEEPROM11-1~11-16に対するデータのリード/ライトアクセスにおいては、マイクロプロセッサ14 10のムーブストリング命令によって256バイトのデータ転送が行われる。このため、この256バイトのデータ転送のために、256バイトのアドレス空間がNANDメモリデータ領域として確保されている。このNANDメモリデータ領域を使用する事により、データバッファ131とフラッシュEEPROM11-1~11-16との間のデータ転送は全てファームウェアの処理として行う事ができる。

【0054】次に、図5を参照して、フラッシュEEPROM11-1~11-16それぞれのブロックの利用 20形態について説明する。

【0055】フラッシュEEPROM11-1~11-16のブロックはユーザデータの格納だけでなく、これらフラッシュEEPROMを制御するための各種管理情報の格納にも利用されている。フラッシュEEPROM11-1~11-16に対するユーザデータと管理情報の割り当ては以下の通りである。

【0056】すなわち、チップ番号#0のNAND型フラッシュEEPROM11-1においては、図示のように、512個のブロックの中でブロック0~ブロック5 3003の504個のブロックは、ユーザデータを格納するためのメモリブロックとして利用される。また、ブロック504は、チップ内の512個のブロックのアドレスや書換回数などを管理するための管理情報を記憶するMBI (Memory Block Information) テーブルブロックとして利用される。また、ブロック505~509は、メモリブロックおよびMBI 40テーブルブロックに不良が発生した時にその代替用の予備ブロックとして使用される。ブロック511は半導体ディスク装置10の構成情報を記憶するコンフィグブロックとして使用され、ブロック510はコンフィグブロックの代替用の予備ブロックとして使用される。

【0057】コンフィグブロックは装置10全体で1個だけ存在し、ここには、半導体ディスク装置10に搭載されているフラッシュEEPROMのチップ数や、各フラッシュEEPROMにおけるMBI テーブルブロックの存在位置などを示す情報などが管理されている。

【0058】チップ番号#1~#16のNAND型フラッシュEEPROM11-2~11-16においては、図示のように、ブロック0~ブロック503の504個 50

のブロックは、ユーザデータを格納するためのメモリブロックとして利用され、ブロック504は、チップ内の512個のブロックのアドレスや書換回数を管理するための管理情報を記憶するMBI (Memory Block Information) テーブルブロックとして利用される。また、ブロック505~511は、メモリブロックおよびMBI テーブルブロックの代替用のブロックとして使用される。

【0059】メモリブロック、MBI テーブルブロック、代替ブロック、コンヒグブロックそれぞれの物理的なブロック構造は図2で説明した通りであるが、以下、それらブロック内のデータ格納形式について説明する。

【0060】図6には、ユーザデータを格納するためのメモリブロックのデータ格納形式が示されている。

【0061】図2で説明したように、この半導体ディスク装置10で使用されるNAND型フラッシュEEPROMは16Mビットのチップであり、各ブロックは、ページ0からページ15までの16ページから構成されている。各ページは、256バイトのデータ領域と8バイトの冗長領域とから構成されている。

【0062】一般に、ホストシステムによるディスクアクセスは512バイトのセクタ単位で行われる。この場合、各ページのデータ領域に格納される256バイトのユーザデータのサイズは、1セクタ分のユーザデータサイズの半分となる。この半導体ディスク装置10においては、ユーザデータの格納には256バイトのデータ領域だけが使用され、8バイトの冗長領域はユーザデータの格納には利用されない。したがって、この半導体ディスク装置10においては、512バイトのユーザデータは、ブロック内の連続する2ページに亘って格納される。このため、1ブロックに格納されるユーザデータは、8セクタ分のデータ、例えば、セクタ0からセクタ7までのデータとなる。

【0063】すなわち、図5に示されているように、ページ0にはセクタ0の前半の256バイト、ページ1にはセクタ0の後半の256バイト、ページ2にはセクタ1の前半の256バイト、ページ3にはセクタ1の後半の256バイトが格納され、以下同様にして、1/2セクタ単位でユーザデータが格納される。

【0064】ページ0~15それぞれの8バイトの冗長領域は、2バイトの領域と6バイトの領域に分割されており、その6バイトの領域にはECCが格納される。このECCは、同一ページのデータ領域に格納されている256バイトのユーザデータに対応するものである。

【0065】すなわち、ページ0の冗長領域に格納されているECCは、ページ0のデータ領域に格納されている256バイトのユーザデータから生成されたものであり、同様に、ページ1の冗長領域に格納されているECCは、ページ1のデータ領域に格納されている256バ

イトのユーザデータから生成されたものである。

【0066】このように、この半導体ディスク装置10においては、512バイトのセクタ単位ではなく256バイトのページ単位でECCが生成され、演算対象のデータ列とECCとが同一ページに格納される。このため、たとえ、図示のようにフラッシュEEPROMの複数ページそれぞれの同一ビット位置に不良セルが発生するというエラーが発生しても、ECCの演算対象となるデータ列に含まれる不良セルは1つだけとなる。したがって、データ回復能力の高い複雑なECC演算式を利用

【0067】また、ページ0の冗長領域の残りの2バイトには、ブロック0のブロックステータス情報として、LWCデータが格納されている。このLWCデータは、ブロック0の書換回数を示す書換回数データの下位ビット部、例えば26ビット幅の書換回数データの下位10ビットのデータから構成される。

【0068】LWCデータはブロック毎に1つ格納され、ブロック1～ブロック503それぞれの先頭ページの冗長領域の先頭の2バイトにも、同様にして、そのブロックステータス情報としてLWCデータが格納されている。

【0069】さらに、ページ1の冗長領域の残りの2バイトには、セクタ0のセクタステータス情報として、BADセクタ情報、およびECCエラー情報が格納されている。

【0070】BADセクタ情報は、そのセクタ0が不良セクタか否かを示すステータス情報である。同様に、ページ3、ページ5、……ページ15それぞれの冗長領域の残りの2バイトにも、セクタ1、セクタ2、……セクタ7それぞれに対応するBADセクタ情報が格納されている。これらBADセクタ情報は、半導体ディスク装置10のホストシステムであるパーソナルコンピュータが、半導体ディスク装置10をフォーマットするためのフォーマットコマンドを実行する時に、そのパーソナルコンピュータのCPU1によって与えられる。

【0071】ECCエラー情報は、そのセクタに対するECCエラー発生の有無を示すステータス情報である。このECCエラー情報は、例えば、パーソナルコンピュータがWRITE LONGコマンドによるデータ書き込みを行った場合においてECCエラーとなるパースエラーなどのエラーが発生した時に、パーソナルコンピュータのCPU1によって与えられる。

【0072】次に、図7を参照して、MBIテーブルブロックのデータ格納形式を説明する。

【0073】MBIテーブルブロックは、ページ0からページ15までの16ページを含む1個のブロックから構成されている。各ページは、256バイトのデータ領域と8バイトの冗長領域とから構成されている。8バ

イトの冗長領域のうちの後の6バイトには、そのページのデータ領域に格納されている256バイトのデータに対応するECCが格納されている。また、冗長領域の先頭の2バイトは未使用である。

【0074】MBIテーブルブロックのデータ領域には、図示のように、アドレス変換テーブル、UWCテーブル、およびスワップオーダーテーブルが格納されている。

【0075】MBIテーブルブロックにおけるアドレス変換テーブルは、チップ内のブロック0～511の物理ブロックアドレス0～511を、シリンダ番号、ヘッド番号およびセクタ番号によって規定されるホストアドレスに変換するためのアドレス変換情報を保持する。このアドレス変換テーブルにおいては、物理ブロックアドレス順に各ブロックに対応するホストアドレスの値が格納されている。

【0076】ここで、MBIテーブルブロックにおけるホストアドレスの値としては、ホストシステムから与えられるシリンダ番号、ヘッド番号およびセクタ番号そのものではなく、それらシリンダ番号、ヘッド番号およびセクタ番号から計算されたホスト論理アドレスが使用される。

【0077】このホスト論理アドレスは、フラッシュEEPROM11-1～11-16に割り当てられる全セクタ(=8×512×16セクタ)に対して“0”から順に連続するセクタ番号を割り当てた場合のセクタの通し番号である。したがって、ホスト論理アドレスのビット幅は、16ビットとなる。しかし、このMBIテーブルブロックのアドレス変換テーブルで管理されるアドレス変換情報は、1セクタ単位ではなく、1ブロックに含まれるセクタ数である8セクタ単位でアドレス変換を行うためのものである。実際には、16ビットのホスト論理アドレスのなかの上位13ビットだけがテーブル上に格納されている。

【0078】UWCテーブルは、チップ内の512個のブロックそれぞれの書換回数を示す書換回数データの上位ビット部から構成されるUWC(UPPER WRITE COUNT)データを保持する。UWCデータは16ビット幅を有しており、このUWCデータと前述の10ビット幅のLWCとを合わせると、最大で6400万回数の書換までカウントする事ができる。UWCデータの値は、対応するLWCデータに桁上がりが発生する度、つまり1024回の書換が発生する度に、+1カウントアップされる。

【0079】これらアドレス変換テーブルおよびUWCテーブルは、図示のように、MBIテーブルブロックのページ5からページ12のデータ領域に格納されている。アドレス変換テーブルおよびUWCテーブルは、装置起動時、つまり半導体ディスク装置10のパワーオン時に、RAM13に転送されて、それぞれアドレス変換

テーブル132および書換回数管理テーブル134として常駐される。

【0080】スワップオーダーテーブルは、ブロック入れ替えのためのスワッピング操作の際にマイクロプロセッサ14によって参照されるテーブルであり、スワッピング先のブロック（被スワップブロック）を示すブロックアドレスを、優先度順（UWCデータの値が小さい順）に保持している。スワップオーダーテーブルは、図示のように、MBIテーブルブロックのページ13からページ15のデータ領域に格納されている。スワップオーダーテーブルは、RAM13には常駐されず、ブロック入れ替えの検討時、つまりLWCデータからUWCデータへの桁上がり発生時に、RAM13に転送されてマイクロプロセッサ14によって参照される。

【0081】図8には、アドレス変換テーブルとUWCテーブルの構成が示されている。

【0082】図示のように、ホストアドレスとUWCデータの格納領域はそれぞれ2バイトのデータサイズを有している。ここで、ホストアドレスは前述したように13ビットであるので、2バイトの格納領域の上位3ビット（ビット15～ビット13）は使用されない。ホストアドレスとUWCデータは、物理ブロックアドレス順に交互に配置されている。

【0083】すなわち、MBIテーブルブロックにおけるページ5の256バイトのデータ領域には、その先頭から順に、物理ブロックアドレス0に対応するホストアドレス、物理ブロックアドレス0に対応するUWCデータ、物理ブロックアドレス1に対応するホストアドレス、物理ブロックアドレス1に対応するUWCデータといった順番で、ホストアドレスとUWCデータが64個のブロック（ブロック0～ブロック63）分格納されている。

【0084】同様に、ページ12の256バイトのデータ領域には、その先頭から順に、物理ブロックアドレス448に対応するホストアドレス、物理ブロックアドレス448に対応するUWCデータ、物理ブロックアドレス449に対応するホストアドレス、物理ブロックアドレス449に対応するUWCデータといった順番で、ホストアドレスとUWCデータが64個のブロック（ブロック448～ブロック511）分格納されている。

【0085】次に、フラッシュEEPROM11-1～11-16に対するホスト論理アドレスの割り当ての一例を説明する。

【0086】図9に示されているように、フラッシュEEPROM11-1～11-16それぞれのブロックには、連続する8個のセクタ番号が割り付けられる。そして、フラッシュEEPROM11-1～11-15それぞれの物理ブロックアドレス0の16個のブロックには、セクタ番号0から127までの128個のセクタ番

号が連続的に割り当てられる。

【0087】すなわち、フラッシュEEPROM11-1の先頭ブロックにはセクタ番号0～セクタ番号7が割り付けられ、フラッシュEEPROM11-1の先頭ブロックにはセクタ番号8～セクタ番号15が割り付けられ、そしてフラッシュEEPROM11-15の先頭ブロックにはセクタ番号120～セクタ番号127が割り付けられる。さらに、フラッシュEEPROM11-1の第2番目のブロックにはセクタ番号128～セクタ番号135が割り付けられる。

【0088】このように、フラッシュEEPROM11-1～11-16には、連続するセクタ番号がチップを横切る形式で割り当てられている。このようなアドレス割り当てはユーザデータを格納するためのメモリブロックについてのみ行われる。

【0089】図10には、このようなアドレス割り当てを行った場合の各チップのMBIチップブロックにおけるアドレス変換およびUWCテーブルの内容が示されている。図10の内容は、総チップ数がN、1チップ当たりのメモリブロック数が504、UWC=0の場合を想定したものである。

【0090】図11には、スワップオーダーテーブルの構成が示されている。

【0091】スワップオーダーテーブルは、ブロック0からブロック255までの前半の256個のブロックに対応する第1オーダーテーブルと、ブロック256からブロック511までの後半の256個のブロックに対応する第2オーダーテーブルとに分割されている。

【0092】第1オーダーテーブルにおいて、その先頭の2バイトの領域（アドレス800h、801h）には、ブロック0からブロック255の中の最小のUWCの値が格納されている。

【0093】次の1バイト（アドレス802h）には、最小UWCの値を持つブロックの総数を示す値が格納される。

【0094】さらに、次の1バイト（アドレス803h）には、最小UWC+1の値を持つブロックの総数を示す値が格納される。ここで、“最小UWC+1”とは、あくまでも最小UWCに1を加えた値を示しており、最小UWCの次に小さなUWCを示すものではない。最小UWC+1の値を持つブロック総数がゼロとなる場合もある。

【0095】以降、アドレス804h～87Ahには、最小UWC+2の値を持つブロック総数を示すデータから最小UWC+120の値を持つブロック総数を示すデータが順次格納される。

【0096】アドレス87Ch～87Fhには、MBIテーブルブロック自体の書換回数を示すデータなどが格納される。

【0097】アドレス880h～97Fhには、本来の

スワップオーダーテーブルとしての情報が格納されている。すなわち、アドレス880hには、ブロック0～ブロック255の中で最優先度の被スワップ対象のブロックを示す値として、最小UWCの値を有するブロックの物理ブロックアドレスが格納されている。最小UWCの値を有するブロックが複数存在する場合には、物理ブロックアドレスが最も後ろのブロックから順に優先順位が高くなる。以下、同様にして、アドレス881hから97Fhに、優先度順にスワップ対象ブロックのブロックアドレスが格納される。

【0098】次に、第2オーダーテーブルについて説明する。

【0099】第2オーダーテーブルにおいて、その先頭の2バイトの領域（アドレス980h、981h）には、MBIテーブルブロック、代替ブロック、コンヒグブロックを除き、ブロック256からブロック511の中の最小のUWCの値が格納されている。すなわち、代替ブロック等は書換回数が全く進行していないので、それらブロックの書き替え回数は無視される。また、実際に代替が発生した場合は、その代替ブロックのUWCデータの値は、その代替ブロックの実際の書換回数ではなく、代替元、つまり欠陥ブロックのUWCを読み受けることとする。これは、スワッピング操作の多発による性能低下を防止するためである。もし、代替ブロックの実際のUWCデータの値をそのまま採用すると、書換回数の値が突出して小さなブロックがいきなり登場することになり、その代替ブロックをスワッピング被対象とするスワッピング操作が何度も発生されてしまうことになる。

【0100】次の1バイト（アドレス982h）には、最小UWCの値を持つブロックの総数を示す値が格納される。

【0101】さらに、次の1バイト（アドレス983h）には、最小UWC+1の値を持つブロックの総数を示す値が格納される。以降、アドレス984h～9FAhには、最小UWC+2の値を持つブロック総数を示すデータから最小UWC+120の値を持つブロック総数を示すデータが順次格納される。

【0102】アドレスA00h～AFFhには、本来のスワップオーダーテーブルとしての情報が格納されている。すなわち、アドレスA00hには、ブロック256～ブロック511の中で最優先度の被スワップ対象のブロックを示す値として、最小UWCの値を有するブロックの物理ブロックアドレスが格納されている。最小UWCの値を有するブロックが複数存在する場合には、物理ブロックアドレスが最も後ろのブロックから順に優先順位が高くなる。以下、同様にして、アドレスA01hからAFFhに、優先度順にスワップ対象ブロックのブロックアドレスが格納される。

【0103】このように、スワップオーダーテーブルに

おいては、スワッピング先となるブロックがその優先度順に格納されている。このため、このスワップオーダーテーブルを参照する事により、マイクロプロセッサ14は、UWCデータのソーティングを行うことなく、スワッピング先を特定する事が可能となる。

【0104】図10には、コンヒグブロックのデータ格納形式が示されている。

【0105】コンヒグブロックは、ページ0からページ15までの16ページを含む1個のブロックから構成されている。各ページは、256バイトのデータ領域と8バイトの冗長領域とから構成されている。8バイトの冗長領域のうちの6バイトには、そのページのデータ領域に格納されている256バイトのデータに対応するECCが格納されている。また、冗長領域の残りの2バイトは未使用である。

【0106】コンヒグブロックのデータ領域には、図示のように、コンヒグ情報、CIS情報、ドライブID情報が格納されている。

【0107】コンヒグ情報は、この半導体ディスク装置10に搭載されているフラッシュEEPROMのチップ数、同時書込み可能な最大チップ数、各チップにおけるMBIテーブルブロックの存在位置を示す物理ブロックアドレスなどを定義する。このコンヒグ情報は半導体ディスク装置10のパワーオン時にマイクロプロセッサ14によって参照され、そのコンヒグ情報に従った初期設定処理が行われる。

【0108】CIS情報は、半導体ディスク装置10をPCMCIA仕様のカードとして使用する場合に、ホストシステムに通知されるカード属性情報である。このカード属性情報には、メモリチップの種類、容量、アクセスタイムなどの物理的仕様に関する情報と、このカードがディスク装置であることなどを示す用途に関する情報が定義されている。このCIS情報は、半導体ディスク装置10のパワーオン時に、マイクロプロセッサ14によってRAM13に転送される。RAM13に転送されたCIS情報は、ホストシステムからの所定番地の読み出し要求に回答してホストシステムに転送される。

【0109】ドライブID情報は、半導体ディスク装置10のドライブ構成を示す情報であり、ここには、内蔵フラッシュEEPROMに論理的に割り当てられる総セクタ数、シリンダ数、ヘッド数、1トラック当たりのセクタ数などが定義されている。このドライブID情報は、ホストシステムからのドライブ識別コマンドに回答して、マイクロプロセッサ14によってホストシステムに転送される。

【0110】このように、この実施例においては、ユーザデータを格納するためのメモリブロックだけでなく、管理情報格納のために使用されるMBIテーブルブロックやコンヒグブロックにおいても、各ページの冗長領域には、そのページのデータ領域に格納されるデータに

対応したECCが格納されている。したがって、これらMBIテーブルブロックおよびコンヒグブロックにおいても、データ回復能力の高い複雑なECC演算式を利用することなく通常の簡単なECC演算によってエラー検出および訂正を行うことが可能となる。

【0111】次に、図13を参照して、RAM13に設けられるアドレス変換テーブル132の構成について説明する。

【0112】このアドレス変換テーブル132は、シリンダ番号、ヘッド番号およびセクタ番号によって規定されるホストアドレスを、フラッシュEEPROM11-1~11-116をアクセスするための物理メモリアドレスに変換するためのものであり、このアドレス変換テーブル132はフラッシュEEPROM11-1~11-116それぞれのMBIテーブルブロックのアドレス変換情報に基づいて生成される。

【0113】このアドレス変換テーブル132においては、ホストアドレスとしては13ビットのブロックセクタアドレスが使用される。このブロックセクタアドレスは、前述したように、シリンダ番号、ヘッド番号およびセクタ番号から計算されたセクタの通し番号を示すホスト論理アドレス(16ビット)の中の上位13ビットから構成される。また、物理メモリアドレスは、4ビットのチップ番号アドレスと、9ビットのチップ内物理ブロックアドレスから構成される。4ビットのチップ番号アドレスは、チップ番号#0のフラッシュEEPROM11-1からチップ番号#15のフラッシュEEPROM11-6までの16個のチップのうちの1つを指定する。9ビットのチップ内物理ブロックアドレスは、チップ番号アドレスによって指定されたチップ内のブロック0~ブロック511の512個のブロックの中の1つを指定する。物理メモリアドレス(チップ番号アドレス、チップ内物理ブロックアドレス)は、ホストアドレス順に格納されている。

【0114】次に、図14を参照して、アドレス変換テーブル132を利用したアドレス変換動作の原理を説明する。

【0115】まず、ホストシステムから指定されたシリンダ番号、ヘッド番号およびセクタ番号は、マイクロプロセッサ14によって実行されるファームウェアによって16ビット幅のホスト論理アドレスに変換される。次いで、その16ビット幅のホスト論理アドレスの上位13ビットから成るブロックセクタアドレスをインデックスとしてアドレス変換テーブル132が検索され、ブロックセクタアドレスに対応する4ビット幅のチップ番号アドレス、および9ビット幅の物理ブロックアドレスが決定される。

【0116】チップ番号アドレスは、チップ選択のために、ファームウェアによってNANDバスインタフェース19のNANDチップナンバレジスタ201にセット

される。また、9ビットの物理ブロックアドレスには、16ビット幅のホスト論理アドレスの下位3ビットから成るブロック内セクタアドレスと、1ビット幅の偶数/奇数ページ指定アドレスと、8ビット幅のカラムアドレスがNANDバスインタフェース19内で付加されて、20ビット幅のメモリアドレス(A20-A0)が生成される。このメモリアドレス(A20-A0)は、アドレス指定のために、NANDバスインタフェース19のNANDデータリード/ライトレジスタ202にセットされる。ユーザデータをリード/ライトするためにホストシステムによって実行される半導体ディスク装置10のアクセスはセクタ単位で行われるので、通常、1ビット幅の偶数/奇数ページ指定アドレス(A8)と、8ビット幅のカラムアドレス(A7-A0)はどちらもオール“0”である。

【0117】次に、図15を参照して、NANDバスインタフェース19のECC演算回路21のECC生成/チェック動作を説明する。

【0118】まず、図15(a)を参照して、ECCの生成動作を説明する。

【0119】NAND型フラッシュEEPROM11-1~11-16に対するデータ書き込み時においては、RAM13のデータバッファ131に格納されているユーザデータは、マイクロプロセッサ14によって256バイト単位で読み出されて、NANDバスインタフェース19を介してフラッシュEEPROMのデータレジスタに転送される。

【0120】NANDバスインタフェース19においては、256バイトのユーザデータはECC演算回路21に送られ、そこでECCを生成するための演算が実行される。ここで、ECCとしては例えばハミングコードなどが利用される。

【0121】ECC演算は、256バイトのユーザデータだけでなく、実際には、その256バイトのユーザデータと冗長領域の最初の2バイトに格納すべきデータとから構成される258バイトのデータを対象として行われる。

【0122】例えば、各ブロックの先頭ページに対するデータ書き込みの場合には、256バイトのユーザデータと2バイトのLWCデータとから構成される258バイトのデータがECC演算の対象となる。この2バイトのLWCデータは、256バイトのユーザデータの転送に先立って、マイクロプロセッサ14によってLWCレジスタ208にセットされている。

【0123】ECC演算回路21は、256バイトのユーザデータとLWCレジスタ208にセットされている2バイトのLWCデータとから構成される258バイトのデータを所定のデータ列単位で演算して、6バイトのハミングコードECCを順次生成する。これらハミングコードECCはECCデータレジスタ209~214に

一時的に保持される。

【0124】ECCの生成処理が完了すると、ECC演算回路21は、256バイトのユーザデータに後続させて、2バイトのLWCデータと6バイトのECCデータを、フラッシュEEPROMのデータレジスタに転送する。これにより、フラッシュEEPROMのデータレジスタには、256バイトのユーザデータ、2バイトのLWCデータ、および6バイトのECCデータから構成される1ページ分のデータがセットされる。

【0125】次に、図15(b)を参照して、ECCの
40 チェック動作を説明する。

【0126】NAND型フラッシュEEPROM11-1~11-16からのデータ読み出し時においては、フラッシュEEPROMから読み出される1ページ分のデータがNANDバスインタフェース19に送られる。

【0127】NANDバスインタフェース19においては、1ページ分のデータから256バイトのユーザデータが取り出され、それがRAM13のデータバッファ131に送られる。また、その1ページ分のデータはEC
C演算回路21に送られる。

【0128】ECC演算回路21は、まず、1ページ分のデータからLWCデータを取り出して、それをLWCレジスタ208にセットし、その後、エラー検出のためのECCチェック演算を実行する。

【0129】このECCチェック演算においては、ECC演算回路21は、256バイトのユーザデータと2バイトのLWCデータとから構成される258バイトのデータをECC生成処理の場合と同じデータ列単位で演算して、6バイトのハミングコードECCを順次生成する。そして、その生成したハミングコードECCと、フラッシュEEPROMから読み出された1ページ分のデータに含まれているハミングコードECCとをバイト単位で比較し、一致/不一致を示す比較結果をECCデータレジスタ209~215にセットする。エラー発生がない場合には、ECCデータレジスタ209~215には全て、一致を示すデータ“0”がセットされる。ECCデータレジスタ209~215の内容はマイクロプロセッサ14によって参照され、エラーが発生していれば、マイクロプロセッサ14によってデータバッファ131上のデータのエラー訂正が行われる。

【0130】次に、マイクロプロセッサ14によって実行されるファームウェアとNANDバスインタフェース19の機能分担を明瞭にするために、フラッシュEEPROMに対するアクセス制御動作を説明する。

【0131】まず、図16および図17を参照して、フラッシュEEPROMのプログラムサイクルの制御に必要なファームウェアの処理とNANDバスインタフェース19の動作について説明する。

【0132】図16はプログラムサイクルにおけるファームウェアの処理とNANDバスインタフェース19の
50

動作を説明するフローチャートであり、図17はプログラムサイクルにおけるフラッシュEEPROMの動作を示すタイミングチャートである。

【0133】ここでは、あるブロックの先頭ページに、256バイトのユーザデータ、2バイトのLWCデータ、および6バイトのECCデータをライトする場合を例にとって説明する。

【0134】マイクロプロセッサ14によって実行されるファームウェアは、まず、ライト対象のフラッシュEEPROMチップに対応するNANDチップレディー/ビジーレジスタ215-1~215-16の1つを参照して、そのライト対象のフラッシュEEPROMチップがレディーステート(待機中)か否かを確認する(ステップA11)。レディーステートであることを確認すると、ファームウェアは、NANDチップナンバレジスタ201をI/Oライトして、そこにライト対象フラッシュEEPROMチップに対応するチップ番号をセットする(ステップA12)。

【0135】次いで、ファームウェアは、NANDチップイネーブル制御レジスタ203をI/Oライトして、そこにチップイネーブル入力(CE)をアクティブにすることを指定するCEオンコマンドをセットする(ステップA13)。

【0136】この時、NANDバスインタフェース19は、NANDチップナンバレジスタ201にセットされたチップ番号に対応するチップセレクト信号CS1~CS16の1つをアクティブにする(ステップB11)。このチップセレクト信号はライト対象チップのチップイネーブル入力CE $\bar{}$ に供給され、これによってライト対象チップがイネーブル状態に設定される。

【0137】次に、ファームウェアは、NANDコマンドラッチイネーブル制御レジスタ204をI/Oライトして、そこにコマンドラッチイネーブル(CLE)信号をアクティブにすることを指定するCLEオンコマンドをセットする(ステップA14)。

【0138】NANDバスインタフェース19は、CLEオンコマンドのセットに応答して、コマンドラッチイネーブル信号CLEをアクティブ状態、つまり“H”レベルに設定する(ステップB12)。

【0139】次いで、ファームウェアは、NANDデータリード/ライトレジスタ202をI/Oライトして、そこにシリアルデータ入力コマンド“80h”をセットする(ステップA15)。NANDバスインタフェース19は、シリアルデータ入力コマンド“80h”のセットに
40 応答して、ライトイネーブル信号WE $\bar{}$ をアクティブ状態、つまり“L”レベルに設定し、且つシリアルデータ入力コマンド“80h”を入出力端子I/Oに転送する(ステップB13)。

【0140】ファームウェアは、NANDアドレスラッチイネーブル制御レジスタ205をI/Oライトして、

そこにALEオンコマンドをセットする(ステップA16)。NANDバスインタフェース19は、ALEオンコマンドのセットにตอบสนองして、アドレスラッチイネーブル信号ALEをアクティブ状態、つまり“H”レベルに設定する(ステップB14)。

【0141】次いで、ファームウェアは、NANDデータリード/ライトレジスタ202をI/Oライトして、そこにメモリアドレス(カラムアドレスA7-A0、およびページアドレスA20-A8)をセットする(ステップA17)。NANDバスインタフェース19は、アドレスのセットにตอบสนองして、ライトイネーブル信号WE⁻をアクティブ状態、つまり“L”レベルに設定し、且つセットされたメモリアドレスを入出力端子I/Oに転送する(ステップB15)。

【0142】ファームウェアは、このプログラムサイクル実行前に予めライト対象ブロックから読み出して+1カウントアップしておいたLWCデータをLWCレジスタ208にセットする(ステップA18)。そして、ファームウェアは、ECC開始コマンドをECCスタート制御レジスタ206にセットし(ステップA19)、その後、ムーブストリング命令の実行によって、データバッファ131からフラッシュEEPROMに256バイトのユーザデータを転送する(ステップA20)。

【0143】NANDバスインタフェース19は、ECC開始コマンドにตอบสนองしてECC生成のための演算を開始し、256バイトのユーザデータおよびLWCデータに対応する6バイトのECCデータを生成する(ステップB16)。そして、NANDバスインタフェース19は、256バイトのユーザデータに後続して、2バイトのLWCデータおよび6バイトのECCデータの転送を開始する(ステップB17)。これにより、ライト対象フラッシュEEPROMのデータレジスタには、図17に示されているように、256バイトのユーザデータ、2バイトのLWCデータおよび6バイトのECCデータが、1ページ分のシリアル入力データ(DIN)として転送される。

【0144】この後、ファームウェアは、CLEオンコマンドを発行した後に、NANDデータリード/ライトレジスタ202をI/Oライトして、そこにプログラムコマンド“10h”をセットする(ステップA21)。NANDバスインタフェース19は、まず、コマンドラッチイネーブル信号CLEをアクティブ状態に設定してからライトイネーブル信号WE⁻をアクティブ状態に設定し、且つプログラムコマンド“10h”を入出力端子I/Oに転送する(ステップB18)。

【0145】このプログラムコマンド“10h”が転送されると、ライト対象のフラッシュEEPROMにおいては、ページライト動作が自動実行される。

【0146】ページライト動作では、データレジスタからメモリアルレイへの1ページ分のページデータ転送

が行われて、データレジスタの256バイトのユーザデータがそのページのデータ領域に書き込まれ、且つデータレジスタの2バイトのLWCデータおよび6バイトのECCデータがそのページの冗長領域に書き込まれる。この後、ページライト動作が正常に実行されたことを検証するためのペリファイ動作が行われる。ペリファイ動作では、ページライトされたページの内容が読み出され、それがデータレジスタに保持されている内容と比較される。不一致ならば、ページライトが再試行される。ページライトが成功するか、所定回数だけページライトを再試行してもページライトが成功しなかった場合には、ページライト動作が終了される。

【0147】ページライト動作期間中そのチップからのレディー/ビジー信号(RDY/BSY)はビジー状態を示し、ページライト動作が完了するとビジー状態からレディー状態に戻る。

【0148】複数のチップに対する書き込み動作を同時実行させる場合には、あるチップのページライト動作実行中(ビジーステート)の期間を利用して、他のチップに対するライトアクセスが実行される。

【0149】この後、ファームウェアは、ライトアクセスしたチップに対応するNANDチップレディー/ビジーレジスタの内容によってページライト動作の完了を確認すると(ステップA22)、NANDデータリード/ライトレジスタ202をI/Oライトして、そこにステータスリードコマンド“70h”をセットする(ステップA23)。NANDバスインタフェース19は、ステータスリードコマンド“70h”のセットにตอบสนองして、ライトイネーブル信号WE⁻をアクティブ状態、つまり“L”レベルに設定し、且つステータスリードコマンド“70h”を入出力端子I/Oに転送し、その後、リードイネーブル信号RE⁻をアクティブ状態、つまり“L”レベルに設定する(ステップB19)。

【0150】ステータスリードコマンド“70h”が転送されると、フラッシュEEPROMからはページライト動作が成功したか否かを示すステータスデータが読み出され、それがNANDデータリード/ライトレジスタ202にセットされる。

【0151】ファームウェアは、NANDデータリード/ライトレジスタ202のステータスデータを参照してページライト動作が成功したか否かを確認し、成功していればライト動作を終了する(ステップA24)。もし失敗した場合には、代替ブロックとの代替処理などを行う。

【0152】次に、図18および図19を参照して、フラッシュEEPROMのリードサイクルの制御に必要なファームウェアの処理とNANDバスインタフェース19の動作について説明する。

【0153】図18はリードサイクルにおけるファームウェアの処理とNANDバスインタフェース19の動作

を説明するフローチャートであり、図19はリードサイクルにおけるフラッシュEEPROMの動作を示すタイミングチャートである。

【0154】フラッシュEEPROM11-1~11-16のリードサイクルには、ページ単位でデータを読み出す第1リードサイクルと、各ページの冗長領域のデータだけを読み出す第2リードサイクルとがある。

【0155】ここでは、第1リードサイクルで、あるブロックの先頭ページを読み出す場合を説明する。

【0156】マイクロプロセッサ14によって実行されるファームウェアは、まず、リード対象のフラッシュEEPROMチップに対応するNANDチップレディー/ビジーレジスタ215-1~215-16の1つを参照して、そのリード対象のフラッシュEEPROMチップがレディーステート（待機中）か否かを確認する（ステップA31）。レディーステートであることを確認すると、ファームウェアは、NANDチップナンバレジスタ201をI/Oライトして、そこにリード対象フラッシュEEPROMチップに対応するチップ番号をセットする（ステップA32）。

【0157】次いで、ファームウェアは、NANDチップイネーブル制御レジスタ203をI/Oライトして、そこにチップイネーブル入力（CE）をアクティブにすることを指定するCEオンコマンドをセットする（ステップA33）。

【0158】この時、NANDバスインタフェース19は、NANDチップナンバレジスタ201にセットされたチップ番号に対応するチップセレクト信号CS1~CS16の1つをアクティブにする（ステップB31）。このチップセレクト信号はリード対象チップのチップイネーブル入力CE[—]に供給され、これによってリード対象チップがイネーブル状態に設定される。

【0159】次に、ファームウェアは、NANDコマンドラッチイネーブル制御レジスタ204をI/Oライトして、そこにコマンドラッチイネーブル（CLE）信号をアクティブにすることを指定するCLEオンコマンドをセットする（ステップA34）。

【0160】NANDバスインタフェース19は、CLEオンコマンドのセットにตอบสนองして、コマンドラッチイネーブル信号CLEをアクティブ状態、つまり“H”レベルに設定する（ステップB32）。

【0161】次いで、ファームウェアは、NANDデータリード/ライトレジスタ202をI/Oライトして、そこにリードコマンド“00h”をセットする（ステップA35）。NANDバスインタフェース19は、リードコマンド“00h”のセットにตอบสนองして、ライトイネーブル信号WE[—]をアクティブ状態、つまり“L”レベルに設定し、且つリードコマンド“00h”を入出力端子I/Oに転送する（ステップB33）。

【0162】ファームウェアは、NANDアドレスラッ

チイネーブル制御レジスタ205をI/Oライトして、そこにALEオンコマンドをセットする（ステップA36）。NANDバスインタフェース19は、ALEオンコマンドのセットにตอบสนองして、アドレスラッチイネーブル信号ALEをアクティブ状態、つまり“H”レベルに設定する（ステップB34）。

【0163】次いで、ファームウェアは、NANDデータリード/ライトレジスタ202をI/Oライトして、そこにメモリアドレス（カラムアドレスA7-A0、およびページアドレスA20-A8）をセットする（ステップA37）。NANDバスインタフェース19は、アドレスのセットにตอบสนองして、ライトイネーブル信号WE[—]をアクティブ状態、つまり“L”レベルに設定し、且つセットされたメモリアドレスを入出力端子I/Oに転送する（ステップB35）。

【0164】このメモリアドレスが転送されると、リード対象のフラッシュEEPROMにおいてはページリード動作が実行される。ページリード動作では、メモリアドレスで指定されたページに格納されている256バイトのユーザデータ、2バイトのLWCデータ、および6バイトのECCデータが読み出され、それがデータレジスタに転送される。このページリード動作期間中は、そのチップからのレディー/ビジー信号（RDY/BSY）はビジー状態を示し、ページリード動作が完了するとビジー状態からレディー状態に戻る。

【0165】ファームウェアは、リードアクセスしたチップに対応するNANDチップレディー/ビジーレジスタの内容によってページリード動作の完了を確認すると（ステップA38）、ECCチェック開始コマンドをECCスタート制御レジスタ206にセットし（ステップA39）、その後、ムーブストリング命令を実行して、データバッファ131からデータバッファ131への256バイトのユーザデータ転送を開始する（ステップA40）。

【0166】このデータ転送においては、NANDバスインタフェース19から出力されるリードイネーブル信号RE[—]に同期して、フラッシュEEPROMのデータレジスタに保持されている256+8バイトのデータが1バイト単位でシリアルに読み出される。

【0167】NANDバスインタフェース19は、フラッシュEEPROMから読み出されるデータに対して誤り検出のためのチェック演算を行い（ステップB36）、そのチェック結果をECCデータレジスタ209~214にセットする（ステップB37）。

【0168】ファームウェアは、ECCチェック演算の終了を確認すると、ECCデータレジスタ209~214の内容を参照して正常なデータをリードできたか否かを調べる（ステップA41）。もしリードデータにエラーが発生していることが検出された場合は、ファームウェアは、ECCデータレジスタ209~214にセット

されているECCチェック演算結果を用いて、データバッファ131に転送されている256バイトのユーザデータの誤り訂正をデータバッファ131上で実行する。

【0169】このように、リードサイクルにおいては、フラッシュEEPROMからデータバッファ131へのデータ転送時にECCチェックがNANDバスインタフェース19によって自動的に実行される。

【0170】ところで、フラッシュEEPROM11-1~11-16の各々は、ページインクリメント機能を有している。このページインクリメント機能は、データレジスタからの1ページ分のデータ読み出しが終了した時に、自動的に次ページのページリードを開始する機能である。このため、前述した先頭ページのシリアルデータ読み出しが終了すると、フラッシュEEPROMは再びビジー状態となって、2ページ目のページリードを開始する。

【0171】したがって、2ページ目以降のデータ読み出しについては、ファームウェアおよびNANDバスインタフェース19は、前述のステップA31~A37、B31~B35のアドレスサイクルを実行する必要はなく、それぞれ前述のステップA38~A41、B36、B37を繰り返すだけで、連続する複数ページを効率よく読み出すことができる。

【0172】次に、第2リードサイクルによって、冗長領域のデータだけを読み出す場合の動作について説明する。

【0173】この第2リードサイクルを実行する場合に必要なファームウェアおよびNANDバスインタフェース19の動作は、第1リードサイクルの場合とほとんど同じであり、違いは次の2点である。

【0174】(1) 図18のステップA35において、ファームウェアは、コマンド“00h”の代わりにコマンド“50h”を発行する。

【0175】(2) データレジスタからの2バイトのデータ読み出しでリードサイクルのシーケンスが終了する。

【0176】このため、LWCデータは第2リードサイクルを1回行うだけで読み出すことができるが、ECCデータを読み出す場合には、第2リードサイクルを3回繰り返すことが必要となる。

【0177】なお、第2リードサイクルにおいて、データレジスタのどの位置からデータを読み出すかは、アドレスサイクルで設定するカラムアドレスの値によって決定する事ができる。

【0178】次に、図20および図21を参照して、フラッシュEEPROMのブロックイレースサイクルの制御に必要なファームウェアの処理とNANDバスインタフェース19の動作について説明する。

【0179】図20はブロックイレースサイクルにおけるファームウェアの処理とNANDバスインタフェース

19の動作を説明するフローチャートであり、図21はブロックイレースサイクルにおけるフラッシュEEPROMの動作を示すタイミングチャートである。

【0180】ここでは、ある特定の1ブロックの記憶内容を消去する場合を例にとって説明する。

【0181】マイクロプロセッサ14によって実行されるファームウェアは、まず、イレース対象ブロックを含むフラッシュEEPROMチップに対応するNANDチップレディー/ビジーレジスタ215-1~215-16の1つを参照して、そのイレース対象のフラッシュEEPROMチップがレディーステート(待機中)か否かを確認する(ステップA51)。レディーステートであることを確認すると、ファームウェアは、NANDチップナンバレジスタ201をI/Oライトして、そこにイレース対象フラッシュEEPROMチップに対応するチップ番号をセットする(ステップA52)。

【0182】次いで、ファームウェアは、NANDチップイネーブル制御レジスタ203をI/Oライトして、そこにチップイネーブル入力(CE)をアクティブにすることを指定するCEオンコマンドをセットする(ステップA53)。

【0183】この時、NANDバスインタフェース19は、NANDチップナンバレジスタ201にセットされたチップ番号に対応するチップセレクト信号CS1~CS16の1つをアクティブにする(ステップB51)。このチップセレクト信号はイレース対象チップのチップイネーブル入力CE $\bar{}$ に供給され、これによってイレース対象チップがイネーブル状態に設定される。

【0184】次に、ファームウェアは、NANDコマンドラッチイネーブル制御レジスタ204をI/Oライトして、そこにコマンドラッチイネーブル(CLE)信号をアクティブにすることを指定するCLEオンコマンドをセットする(ステップA54)。

【0185】NANDバスインタフェース19は、CLEオンコマンドのセットにตอบสนองして、コマンドラッチイネーブル信号CLEをアクティブ状態、つまり“H”レベルに設定する(ステップB52)。

【0186】次いで、ファームウェアは、NANDデータリード/ライトレジスタ202をI/Oライトして、そこにイレースコマンド“60h”をセットする(ステップA55)。NANDバスインタフェース19は、イレースコマンド“60h”のセットにตอบสนองして、ライトイネーブル信号WE $\bar{}$ をアクティブ状態、つまり“L”レベルに設定し、且つイレースコマンド“60h”を入出力端子I/Oに転送する(ステップB53)。

【0187】ファームウェアは、NANDアドレスラッチイネーブル制御レジスタ205をI/Oライトして、そこにALEオンコマンドをセットする(ステップA56)。NANDバスインタフェース19は、ALEオンコマンドのセットにตอบสนองして、アドレスラッチイネー

ル信号ALEをアクティブ状態、つまり“H”レベルに設定する(ステップB54)。

【0188】次いで、ファームウェアは、NANDデータリード/ライトレジスタ202をI/Oライトして、そこにメモリアドレス(ブロックアドレスA20-A12)をセットする(ステップA57)。NANDバスインタフェース19は、アドレスのセットに応答して、ライトイネーブル信号WE⁻をアクティブ状態、つまり“L”レベルに設定し、且つセットされたメモリアドレスを入出力端子I/Oに転送する(ステップB55)。

【0189】この後、ファームウェアは、CLEオンコマンドを発行した後に、NANDデータリード/ライトレジスタ202をI/Oライトして、そこにイレーズ開始コマンド“D0h”をセットする(ステップA58)。NANDバスインタフェース19は、まず、コマンドラッチイネーブル信号CLEをアクティブ状態に設定してからライトイネーブル信号WE⁻をアクティブ状態に設定し、且つイレーズ開始コマンド“D0h”を入出力端子I/Oに転送する(ステップB56)。

【0190】このイレーズ開始コマンド“D0h”が転送されると、イレーズ対象のフラッシュEEPROMにおいてブロックイレーズ動作およびそのベリファイ動作が自動実行される。

【0191】ブロックイレーズ動作では、ブロックアドレスで指定されたブロックの記憶内容だけが消去される。このブロックイレーズ動作期間中そのチップからのレディー/ビジー信号(RDY/BSY)はビジー状態を示し、ブロックイレーズ動作が完了するとビジー状態からレディー状態に戻る。

【0192】ファームウェアは、イレーズしたチップに対応するNANDチップレディー/ビジーレジスタの内容によってブロックイレーズ動作の完了を確認すると(ステップA59)、NANDデータリード/ライトレジスタ202をI/Oライトして、そこにステータスリードコマンド“70h”をセットする(ステップA60)。NANDバスインタフェース19は、ステータスリードコマンド“70h”のセットに応答して、ライトイネーブル信号WE⁻をアクティブ状態、つまり“L”レベルに設定し、且つステータスリードコマンド“70h”を入出力端子I/Oに転送し、その後、リードイネーブル信号RE⁻をアクティブ状態、つまり“L”レベルに設定する(ステップB57)。

【0193】ステータスリードコマンド“70h”が転送されると、フラッシュEEPROMからはブロックイレーズ動作が成功したか否かを示すステータスデータが読み出され、それがNANDデータリード/ライトレジスタ202にセットされる。

【0194】ファームウェアは、NANDデータリード/ライトレジスタ202のステータスデータを参照してブロックイレーズ動作が成功したか否かを確認し、成功

していればイレーズサイクルを終了する(ステップA61)。もし失敗した場合には、代替ブロックとの代替処理などを行う。

【0195】なお、ブロックイレーズ開始コマンド“D0h”の発行前にステップA54~A57を繰り返し実行して複数のブロックアドレスを設定すれば、複数ブロックのイレーズを順次行うマルチブロック動作を実行することもできる。

【0196】次に、図22のフローチャートを参照して、ホストシステムからライトコマンドが発行された際に実行される図1の半導体ディスク装置10全体のライト制御動作を説明する。このライト制御動作は、前述した各種の管理情報テーブルを利用する事によって行われる。

【0197】ホストシステムが外部バスインタフェース17のコマンドレジスタ176にライトコマンドをセットすると、マイクロプロセッサ14によって実行されるファームウェアは、まず、そのライトコマンドを受け付ける(ステップA71)。次いで、ファームウェアは、ホストシステムからデータバッファ131へのライトデータの転送を開始する(ステップA72)。このデータ転送は、外部バスインタフェース17のデータレジスタ173を介して実行される。

【0198】ホストシステムによる半導体ディスク装置10のアクセスはセクタ単位で行われるので、データバッファ131には少なくとも1セクタ分のライトデータが格納される。

【0199】次いで、ファームウェアは、ホストシステムによって指定されたディスクアクセスのためのホストアドレス、つまり、セクタ番号、シリンダ番号、およびヘッド番号をセクタナンバレジスタ171、シリンダレジスタ174、およびドライブ/ヘッドレジスタ175からそれぞれ読取り、それをフラッシュEEPROM11-1~11-16をアクセスするためのアドレスに変換する(ステップA73)。このアドレス変換処理においては、図12で説明したように、アドレス変換テーブル132が利用される。このアドレス変換テーブル132のアドレス変換情報は、装置10の起動時において、フラッシュEEPROM11-1~11-16それぞれからリードしたアドレス変換テーブルのアドレス変換情報に基づいて構築されたものである。

【0200】アドレス変換処理の結果、ライトアクセス対象のチップ番号、およびライトアクセス対象チップ内のメモリアドレス(A20-A0)が求められる。

【0201】次に、ファームウェアは、メモリアドレス(A20-A0)の上位9ビット(A20-A12)で指定されるライトアクセス対象のブロック(以下、ライトブロックと称する)に対する1ブロック分のライトデータを作成するための処理(ステップA74~A78)に進む。

【0202】ここでは、ファームウェアは、まず、ライトブロック用のヘッダテーブルエリアをRAM13上に確保する(ステップA74)。次に、ファームウェアは、ライトブロックの先頭ページからLWCデータをリードする(ステップA75)。このLWCデータのリード処理では、前述したコマンド“50h”を用いた第2リードサイクルが実行され、これによってライトブロックの先頭ページからLWCデータだけが読み出される。このLWCデータは、RAM13の空きエリアまたはデータバッファ131に格納される。

【0203】この後、ファームウェアは、ライトブロックに“巻き添え消去”データが存在するか否かを調べる(ステップA76)。ここで、“巻き添え消去”データとはライトブロックに存在するデータの中でホストシステムによって書換が要求されていないデータを意味する。このため、ライトブロック内の全てのページに対する書込みが要求された場合には“巻き添え消去”データは存在しないが、ライトブロック内の途中のページから書込みが開始される場合や、ライトデータのデータレングスが1ブロック(8セクタ)よりも少ない場合などには“巻き添え消去”データが存在する事になる。

【0204】“巻き添え消去”データが存在する場合には、ファームウェアは、コマンド“00h”を用いた第1リードサイクルを実行することによって、ライトブロックから“巻き添え消去”データを含むページをリードする(ステップA77)。この“巻き添え消去”データを含むページは、RAM13の空きエリアやデータバッファ131に格納される。

【0205】次いで、ファームウェアは、リードした“巻き添え消去”データのRAM13上の格納位置を示すRAMアドレスと、ホストシステムからのライトデータが格納されているRAM13上の格納位置を示すRAMアドレスとに基づいて、ライトブロックに書き込むべき1ブロック分のブロックデータに対応するヘッダテーブルを作成する。

【0206】すなわち、ファームウェアは、実際にデータを結合して1ブロック分のブロックデータを生成するのではなく、“巻き添え消去”データのRAM13上のアドレスとライトデータのデータバッファ131上のアドレスとをページ番号順に整列して保持するヘッダテーブル133を作成し、これによって仮想的なブロックデータを構築する(ステップA78)。

【0207】次いで、ファームウェアは、ライトブロックからリードしたLWCデータの値を+1カウントアップすることにより、そのLWCデータの値を更新する(ステップA79)。この時、もしLWCデータの値に桁上り(キャリー)が発生しなければ、ファームウェアは、ライトブロックに対するライトアクセス処理を実行する(ステップA80、A81)。

【0208】このライトアクセス処理では、まず、ライ

トブロックに対して図18で説明したブロックイレースサイクルが実行されて、ライトブロックの内容が全て消去される。次いで、ライトブロックの全ページに対して図14で説明したプログラムサイクルが実行される。このプログラムサイクルでは、ファームウェアは、まず、更新したLWCデータをNANDバスインタフェース19のLWCレジスタ208にセットし、次いで、ヘッダテーブル133に保持されているアドレス順にRAM13から256バイト単位で1ブロック分のデータを読み出し、それをフラッシュEEPROMに転送する。このように、ヘッダテーブル133を利用することにより、ファームウェアはライトデータと“巻き添え消去”データとを区別することなくデータ転送を行う事ができる。

【0209】転送される各256バイトのデータにはNANDバスインタフェース19によって自動的にECCデータが付加され、それがライト対象フラッシュEEPROMのライトブロックの対応するページに書き込まれる。

【0210】一方、LWCデータの値に桁上りが発生した場合には、ファームウェアは、スワッピング操作を実行するか否かを検討するために、以下の処理を行う。

【0211】すなわち、ファームウェアは、まず、第1リードサイクルを実行することによって、ライト対象のフラッシュEEPROMからMBIテーブルブロックをリードする(ステップA82)。リードされたMBIテーブルブロックの内容は、RAM13の空きエリアに格納される。

【0212】次いで、ファームウェアは、リードしたMBIテーブルブロックを検索してライトブロックに対応するUWCデータを検出し、そのUWCデータの値を更新、つまり+1カウントアップする(ステップA83)。MBIテーブルブロックにおいては、図8で説明したように、UWCデータは物理ブロックアドレス順に整列されて保持されている。このため、ファームウェアは、ライトブロックを示す物理ブロックアドレスをインデックスとして利用する事により、ライトブロックに対応するUWCデータを容易に見つける事ができる。

【0213】更新されたUWCデータの値は、MBIテーブルブロックと書換回数管理テーブル134双方に反映される。

【0214】この後、ファームウェアは、更新されたライトブロックのUWCデータの値をライト対象チップの最小UWCデータの値、および他の各チップの最小UWCデータの値と、順次比較する(ステップA84)。

【0215】ライト対象チップの最小UWCデータの値としては、ライト対象チップからリードしたMBIテーブルブロック内のスワップオーダーテーブルに保持されている最小UWCデータの値が利用される。これにより、RAM13上の書換回数管理テーブル134をUWCデータの小さい順にソーティングするといった処理を行う

ことなく、ライト対象チップの最小UWCデータの値を容易に知るができる。

【0216】また、他の各チップの最小UWCデータの値としては、RAM13上の書換回数管理テーブル134の値が利用される。この書換回数管理テーブル134の値を利用することにより、ライト対象チップ以外の他の全てのチップそれぞれからMBIテーブルブロックを順次リードする必要が無くなり、効率の良いスワッピング検討処理が実現される。

【0217】次いで、ステップA84の比較結果に基づき、ファームウェアは、ライトブロックの更新されたUWCデータとライト対象チップの最小UWCデータとの値の差が予め決められたしきい値(α)以上であるかを調べ(ステップA85)、その差が α 以上であれば、ライト対象チップ内でのスワッピング操作を行う(ステップA86)。

【0218】このチップ内スワッピング操作においては、ファームウェアは、まず、ライト対象チップから被スワッピング対象のブロックをリードする。この場合、被スワッピング対象のブロックは最小UWCの値を持つブロックであり、このブロックの物理ブロックアドレスは、ステップA82でリードしたMBIテーブルブロックに含まれているスワップオーダーテーブル上の被スワッピング優先度NO. 1ブロック番号によって指定される。したがって、ファームウェアは、UWCデータのソーティングを行うことなく、被スワッピング対象のブロックを簡単に決定でき、またその被スワッピング対象のブロックの物理ブロックアドレスを認識する事ができる。

【0219】次に、ファームウェアは、ライトブロックと被スワッピング対象ブロック間でホストアドレスの入れ替えを行う。この場合、RAM132上のアドレス変換テーブル132とライト対象チップからリードしたMBIテーブルブロック双方のアドレス変換情報が更新される。

【0220】次に、ファームウェアは、ライト対象フラッシュEEPROMにおけるライトブロックと被スワッピング対象ブロック間の記憶内容の入れ替えのために、RAM13上に吸い上げた被スワッピングブロックの内容をライト対象フラッシュEEPROMのライトブロックに書き込むためのライトアクセスと、フラッシュEEPROMの被スワッピングブロックにRAM13上の1ブロック分のライトデータを書き込むためのライトアクセスを行う。この後、ファームウェアは、ライト対象フラッシュEEPROMにおけるMBIテーブルブロックの更新のために、ライト対象フラッシュEEPROMにおけるMBIテーブルブロックにRAM13上の更新されたMBIテーブルブロックの内容を書き込むためのライトアクセスを行う。これら3回のライトアクセスは、それぞれステップA81で説明した場合と同様の形態で

実行される。

【0221】次に、ステップA86においてライトブロックの更新されたUWCデータとライト対象チップの最小UWCデータとの値の差が α 未満であった場合の処理について説明する。

【0222】この場合、ファームウェアは、ライトブロックの更新されたUWCデータと他のいずれかのチップの最小UWCデータとの値の差が予め決められたしきい値($\alpha + \beta$)以上であるかを調べ(ステップA87)、その差が $\alpha + \beta$ 以上であれば、ライト対象チップとその最小UWCデータの値を持つチップとの間でのスワッピング操作を行う(ステップA88)。

【0223】このチップ間に亙るスワッピング操作においては、ファームウェアは、まず、被スワッピング対象のブロックを持つチップからMBIテーブルブロックをRAM13上にリードし、そのMBIテーブルブロックに含まれているスワップオーダーテーブル上の被スワッピング優先度NO. 1ブロック番号を認識する。

【0224】次いで、ファームウェアは、被スワッピング優先度NO. 1ブロック番号が示す物理ブロックアドレスを用いて、その被スワッピング対象チップから被スワッピング対象ブロックをリードする。

【0225】次に、ファームウェアは、ライトブロックと被スワッピング対象ブロック間でホストアドレスの入れ替えを行う。この場合、RAM132上のアドレス変換テーブル132と、ライト対象チップからリードしたMBIテーブルブロックと、被スワッピング対象チップからリードしたMBIテーブルブロックのそれぞれのアドレス変換情報が更新される。

【0226】次に、ファームウェアは、ライト対象フラッシュEEPROMにおけるライトブロックと被スワッピング対象チップの被スワッピング対象ブロック間の記憶内容の入れ替えのために、RAM13上に吸い上げた被スワッピングブロックの内容をライト対象フラッシュEEPROMのライトブロックに書き込むためのライトアクセスと、被スワッピング対象フラッシュEEPROMの被スワッピングブロックにRAM13上の1ブロック分のライトデータを書き込むためのライトアクセスを行う。この後、ファームウェアは、ライト対象フラッシュEEPROM被スワッピング対象フラッシュEEPROMそれぞれのMBIテーブルブロックを更新するために、ライト対象フラッシュEEPROMにおけるMBIテーブルブロックにRAM13上の更新されたMBIテーブルブロックの内容を書き込むためのライトアクセスと、被スワッピング対象フラッシュEEPROMにおけるMBIテーブルブロックにRAM13上の更新されたMBIテーブルブロックの内容を書き込むためのライトアクセスとを行う。これら4回のライトアクセスは、それぞれステップA81で説明した場合と同様の形態で実行される。

【0227】このように、スワッピング操作はチップ内、又はチップ間で実行され、チップ間スワッピングの場合はチップ内スワッピングの場合よりも、リードアクセス操作およびライトアクセス操作がそれぞれ1回ずつ多く必要となる。

【0228】しかしながら、この実施例では、スワッピングを行うか否かを決定するためのしきい値($\alpha + \beta$)は、チップ内のスワッピング操作を行う場合のしきい値(α)よりも大きな値に設定されているので、チップ内スワッピングに比べチップ間スワッピングの発生頻度を抑制する事ができる。よって、チップ間スワッピング操作の多発による性能低下を防止する事ができる。

【0229】ステップA85、およびA87で共に置き換え回数之差が所定のしきい値よりも小さい場合には、ファームウェアは、ステップA83で更新されたUWCデータを含むMBIテーブルブロックをライト対象のフラッシュEEPROMに書き込むためのライトアクセスを行い(ステップA89)、次いで、ライトブロックに対するライトアクセス処理を実行する。これらライトアクセスは、それぞれステップA81で説明した場合と同様の形態で実行される。

【0230】以上のように、LWCデータの桁上りが発生しない場合にはスワッピング処理の検討がなされずに直ぐにライトアクセスが行われるので、桁上りが発生した場合よりもデータ書き込みに要する全体の時間を短縮する事ができる。

【0231】LWCデータの値はライトアクセスの度にその初期値から+1ずつカウントアップされ、そして1K回に達した時に桁上りが発生する。このため、ディスク製造時や出荷時においてフラッシュEEPROM11-1~11-16に含まれる全てのブロックに書き込むLWCデータの初期値としては、同一の値ではなく、それぞれ異なる離散的な値を利用することが好ましい。この場合、連続ブロックに対するライトアクセスが継続的に発生したとしても桁上りが発生する時期がブロック毎にずれるので、桁上りに起因するスワッピングの検討処理およびスワッピング処理が集中して発生するという事態を防止する事ができる。

【0232】なお、ここでは、1つのライトブロックに対する書き込みについて説明したが、ライトデータの格納位置が連続する複数のライトブロックに亘る場合には、それら複数のブロックに対するライトアクセス処理は並行して実行される。この並行処理は、ライトチャンネルと称するこの発明の特徴とするライトアクセス制御処理を利用することによって実現される。

【0233】以下、図23を参照して、ライトチャンネルを利用したライトアクセス制御処理の原理を説明する。

【0234】ホストシステムから要求されたライトデータの書き込み先が複数のライトブロックに亘る場合には、それらライトブロック毎に図22のステップA75

~A78の処理が実行されて、複数のブロックデータ(ヘッダテーブル)が順次生成される。前述したようにフラッシュEEPROM11-1~11-16には、8セクタ毎にアクセス対象のチップが切り替えられるようにセクタ番号がそれらチップを横断して割り当てられているので、複数のブロックデータの書き込み先はそれぞれ異なるチップとなる。

【0235】生成されたブロックデータは、3つのライトチャンネル(A, B, C)に順次割り当てられる。ライトチャンネルA, B, Cの各々は、ブロックデータとフラッシュEEPROMとを対応付けるための論理的な書き込み制御経路であり、これらライトチャンネルA, B, Cは図示のようなライトチャンネル管理テーブルTa, Tb, Tcによってそれぞれ実現されている。

【0236】ライトチャンネル管理テーブルTa, Tb, Tcにおいては、それぞれ対応するライトチャンネルの使用の有無を示す情報と、ライトアクセス対象のフラッシュEEPROMを示すチップ番号アドレスと、書き込むべきブロックデータに対応するヘッダテーブル番号が登録される。

【0237】ここでは、ブロックデータ1~6が順次生成され、それらブロックデータ1~6の書き込み先がフラッシュEEPROM11-1~11-6である場合を想定する。

【0238】作成されたブロックデータ1~6は、その作成された順にその時未使用のライトチャンネルに登録される。ライトチャンネルA, B, Cがそれぞれ未使用であった場合には、ブロックデータ1がライトチャンネルAに登録され、ブロックデータ2がライトチャンネルBに登録され、そしてブロックデータ3がライトチャンネルCに登録される。

【0239】この場合、ライトチャンネルAに対応するライトチャンネル管理テーブルTaにおいては、使用中を示す情報がセットされる共に、フラッシュEEPROM11-1を示すチップ番号アドレスと、ブロックデータ1に対応するヘッダテーブル1を示すヘッダテーブル番号が格納される。同様に、ライトチャンネルBに対応するライトチャンネル管理テーブルTbにおいては、使用中を示す情報がセットされる共に、フラッシュEEPROM11-2を示すチップ番号アドレスと、ブロックデータ2に対応するヘッダテーブル2を示すヘッダテーブル番号が格納され、ライトチャンネルCに対応するライトチャンネル管理テーブルTcにおいては、使用中を示す情報がセットされる共に、フラッシュEEPROM11-3を示すチップ番号アドレスと、ブロックデータ3に対応するヘッダテーブル3を示すヘッダテーブル番号が格納される。

【0240】このようにしてライトチャンネルテーブルTa, Tb, Tcを作成すると、ファームウェアは、これらテーブルTa, Tb, Tcの内容にしたがって次のよ

うなライトアクセス制御を実行する。

【0241】すなわち、ファームウェアは、まず、ライトチャネルAを介したライトアクセス処理を行う。このライトアクセス処理においては、まず、テーブルTaのチップ番号アドレスによって指定されるフラッシュEEPROM11-1がレディー状態であるか否かが、NANDチップレディー/ビジステータスレジスタ215-1を参照する事によって調べられる。

【0242】レディー状態であれば、テーブルTaによって指定されたヘッダテーブル1が参照され、そのヘッダテーブル1の内容に従ってデータバッファ131からフラッシュEEPROM11-1への1ページ分のデータ転送、およびフラッシュEEPROM11-1に対するライトコマンドの発行が行われる。これにより、フラッシュEEPROM11-1はレディー状態からビジー状態に切り替わり、ページライト動作を実行する。

【0243】フラッシュEEPROM11-1がレディー状態からビジー状態に切り替わると、ファームウェアは、ライトチャネルBを介したライトアクセス処理に移行する。

【0244】このライトアクセス処理においては、まず、そのテーブルTbのチップ番号アドレスによって指定されるフラッシュEEPROM11-2がレディー状態か否かが、NANDチップレディー/ビジステータスレジスタ215-2を参照する事によって調べられる。レディー状態であれば、テーブルTbによって指定されたヘッダテーブル2が参照され、そのヘッダテーブル2の内容に従ってデータバッファ131からフラッシュEEPROM11-2への1ページ分のデータ転送、およびフラッシュEEPROM11-2に対するライトコマンドの発行が行われる。これにより、フラッシュEEPROM11-2はレディー状態からビジー状態に切り替わり、ページライト動作を実行する。

【0245】フラッシュEEPROM11-2がレディー状態からビジー状態に切り替わると、ファームウェアは、今度は、ライトチャネルCを介したライトアクセス処理に移行する。このライトアクセス処理では、まず、そのテーブルTcのチップ番号アドレスによって指定されるフラッシュEEPROM11-3がレディー状態か否かが、NANDチップレディー/ビジステータスレジスタ215-3を参照する事によって調べられる。

【0246】レディー状態であれば、テーブルTcによって指定されたヘッダテーブル3が参照され、そのヘッダテーブル3の内容に従ってデータバッファ131からフラッシュEEPROM11-3への1ページ分のデータ転送、およびフラッシュEEPROM11-3に対するライトコマンドの発行が行われる。これにより、フラッシュEEPROM11-3はレディー状態からビジー状態に切り替わり、ページライト動作を実行する。

【0247】フラッシュEEPROM11-3がレディ

ー状態からビジー状態に切り替わると、ファームウェアは、再びライトチャネルAの制御に戻り、そのライトチャネルAを介したライトアクセス処理を行う。このライトアクセス処理においても、そのテーブルTaのチップ番号アドレスによって指定されるフラッシュEEPROM11-1がレディー状態か否か、つまりページライト動作が終了しているか否かが調べられる。もしページライト動作が終了していれば、テーブルTaによって指定されたヘッダテーブル1が参照され、そのヘッダテーブル1の内容に従ってデータバッファ131からフラッシュEEPROM11-1への次の1ページ分のデータ転送、およびフラッシュEEPROM11-1に対するライトコマンドの発行が行われる。

【0248】一方、フラッシュEEPROM11-1がページライト実行中でビジー状態であれば、ファームウェアは、ライトチャネルAからライトチャネルBの制御に移行し、ライトチャネルBを介したライトアクセス処理を開始する。このライトアクセス処理においては、テーブルTbのチップ番号アドレスによって指定されるフラッシュEEPROM11-2がレディー状態か否か、つまりページライト動作が終了しているか否かが調べられる。もしページライト動作が終了していれば、テーブルTbによって指定されたヘッダテーブル2が参照され、そのヘッダテーブル2の内容に従ってデータバッファ131からフラッシュEEPROM11-2への次の1ページ分のデータ転送、およびフラッシュEEPROM11-2に対するライトコマンドの発行が行われる。

【0249】一方、フラッシュEEPROM11-2がページライト実行中でビジー状態であれば、ファームウェアは、ライトチャネルBからライトチャネルCの制御に移行し、ライトチャネルCを介したライトアクセス処理を開始する。このライトアクセス処理においては、テーブルTcのチップ番号アドレスによって指定されるフラッシュEEPROM11-3がレディー状態か否か、つまりページライト動作が終了しているか否かが調べられる。もしページライト動作が終了していれば、テーブルTcによって指定されたヘッダテーブル3が参照され、そのヘッダテーブル3の内容に従ってデータバッファ131からフラッシュEEPROM11-2への次の1ページ分のデータ転送、およびフラッシュEEPROM11-3に対するライトコマンドの発行が行われる。

【0250】もし、フラッシュEEPROM11-3がページライト実行中でビジー状態であれば、ファームウェアは、ライトチャネルCから再びライトチャネルAの制御に移行し、ライトチャネルAを介したライトアクセス処理を開始する。

【0251】このように、ファームウェアは、ライトチャネルテーブルTa、Tb、Tcを順番にサーチし、ページライトが終了したチップから順に、次のページライト動作を実行する。

【0252】したがって、フラッシュEEPROMの性能そのものの差やページライトベリファイによって再試行されるページライト動作の回数の差などによって、ライトアクセス対象のチップ間でページライトに要する時間に違いが生じる場合においても、各チップの書き込み性能を最大限引き出す事ができ、ライトアクセスを高速実行する事ができる。

【0253】そして、あるブロックデータの全ページのライクアクセスが終了すると、そのブロックデータが登録されていたライトチャンネルが空きとなり、次のライトブロック（ここでは、ブロックデータ4）がその空きチャンネルに登録される。

【0254】たとえば、チャンネルCを介したブロックデータ3の書き込みが一番先に終了すると、そのチャンネルCにブロックデータ4が登録される。この場合、ライトチャンネルテーブルTcのチップ番号アドレスは、フラッシュEEPROM11-3を示すアドレスからフラッシュEEPROM11-4を示すアドレスに変更され、またヘッダテーブル番号も3から4に変更される。そして、ライトチャンネルCを介したフラッシュEEPROM11-4に対するライトアクセス処理が、ライトチャンネルA、Bを介したフラッシュEEPROM11-1、11-2に対するライトアクセス処理と並行して行われる。

【0255】なお、ライトチャンネルA、B、Cには、ユーザデータを含むブロックだけでなく、MBIブロックも同様にして登録される。このため、スワッピング検出処理やスワッピング処理によってMBIテーブルブロックなどの書き込みを行う必要が生じた場合でも、その書き込みをユーザデータの書き込みと並行して高速に行うことが可能となる。

【0256】また、ここでは、3つのライトチャンネルを利用する場合を説明したが、ライトチャンネルの数は、同時動作可能な最大チップ数によって決定される。同時動作可能な最大チップ数は半導体ディスク装置10の最大消費電力の値を制限するためにコンヒグ情報によって予め規定されている。もちろん、ホストシステムからの要求に応じてコンヒグ情報を書換え、同時動作可能な最大チップ数を動的に変更する事も可能である。

【0257】以上説明したように、この実施例においては、フラッシュEEPROM11-1～11-16それぞれからの16本のレディー/ビジー信号が独立して受信される事により、フラッシュEEPROM毎に動作状態を管理することができる。このため、全てのフラッシュEEPROM11-1～11-16の動作完了を待つことなく、ライトアクセス対象のフラッシュEEPROMがレディー状態になりさえすれば、そのライトアクセス対象のフラッシュEEPROMに対するライトアクセスを開始する事ができる。また、この半導体ディスク装置10で使用されているフラッシュEEPROMは、ライト動作を自動実行可能なコマンド制御タイプのもので

ある。このため、フォームウェアは、フラッシュEEPROMにライトコマンドを発行しさえすれば、その後はそのライト制御動作から解放される。したがって、あるフラッシュEEPROMのデータ書き込み動作期間中に別のフラッシュEEPROMに対するライトアクセスを行うことが可能になり、複数のフラッシュEEPROMを並行して動作させる事ができる。よって、データ書き込み速度の向上を図る事ができる。

【0258】また、フラッシュEEPROM11-1～11-16に対しては連続するセクタ番号が横断して割り当てられているので、ホストシステムから連続セクタに跨がるライトデータの書き込みが要求された場合には、そのライトデータの書き込みを複数のフラッシュEEPROMに分散させて実行させることが可能となり、書き込み動作をより効率的に行う事が可能になる。

【0259】さらに、ライトチャンネルA、B、Cを利用することによってページライト動作が終了したチップから順に次のページライト動作が開始させる事ができるようになり、チップ間でページライトに要する時間に違いが生じる場合においても、内蔵チップの書き込み性能を最大限引き出す事が可能となる。

【0260】

【発明の効果】以上説明したように、この発明によれば、フラッシュEEPROM毎に独立してその動作状態（レディー/ビジー）を検出できるようになり、複数のフラッシュEEPROMに書き込み動作を同時実行させることができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係る半導体ディスク装置の構成を示すブロック図。

【図2】図1の半導体ディスク装置において使用されるNAND型フラッシュEEPROMの構造を示す図。

【図3】図1の半導体ディスク装置に設けられているI/Oレジスタ群を示す図。

【図4】図1の半導体ディスク装置におけるメモリマップの一例を示す図。

【図5】図1の半導体ディスク装置に設けられたフラッシュEEPROM内の複数ブロックそれぞれの利用形態を示す図。

【図6】図5に示したブロックの中でユーザデータの格納に使用されるメモリブロックのデータ格納形式を示す図。

【図7】図5に示したブロックの中でメモリブロック管理情報の格納に使用されるMBIテーブルブロックのデータ格納形式を示す図。

【図8】図7のMBIテーブルブロックに格納されるアドレス変換およびUWCテーブルの内容を示す図。

【図9】図1の半導体ディスク装置に設けられた複数のフラッシュEEPROMに対するホストアドレス割り当ての一例を示す図。

【図10】図8のアドレス変換テーブルに保持されるアドレス変換情報の一例を示す図。

【図11】図7のMB Iテーブルブロックに格納される
スワップオーダーテーブルの内容を示す図。

【図１２】図５に示したブロックの中で図１の半導体ディスク装置のコンヒグ情報の格納に使用されるコンヒグブロックのデータ格納形式を示す図。

【図13】図1の半導体ディスク装置のRAM上に設けられるアドレス変換テーブルの構成を示す図。

【図14】図13のアドレス変換テーブルを利用したホ
スタアドレスからメモリアドレスへの変換処理の原理を
説明するための図。

【図15】図1の半導体ディスク装置に設けられたEC演算回路の動作を説明するための図。

【図16】図1の半導体ディスク装置においてフラッシュEEPROMにデータを書き込む場合のファームウェアの処理とハードウェアの動作を説明するフローチャート。

【図１７】図１の半導体ディスク装置に設けられたフラッシュＥＥＰＲＯＭのプログラムサイクルを説明するタイミングチャート。

【図18】図1の半導体ディスク装置においてフラッシュEEPROMからデータを読み出す場合のファームウェアの処理とハードウェアの動作を説明するフローチャート。

【図19】図1の半導体ディスク装置に設けられたフラ

ツシュEEPROMのシーケンシャルリードサイクルを説明するタイミングチャート。

【図20】図1の半導体ディスク装置においてフラッシュEEPROMに格納されたデータを消去する場合のファームウェアの処理とハードウェアの動作を説明するフローチャート。

【図 21】図 1 の半導体ディスク装置に設けられたフラッシュEEPROMのブロックイレースサイクルを説明するタイミングチャート。

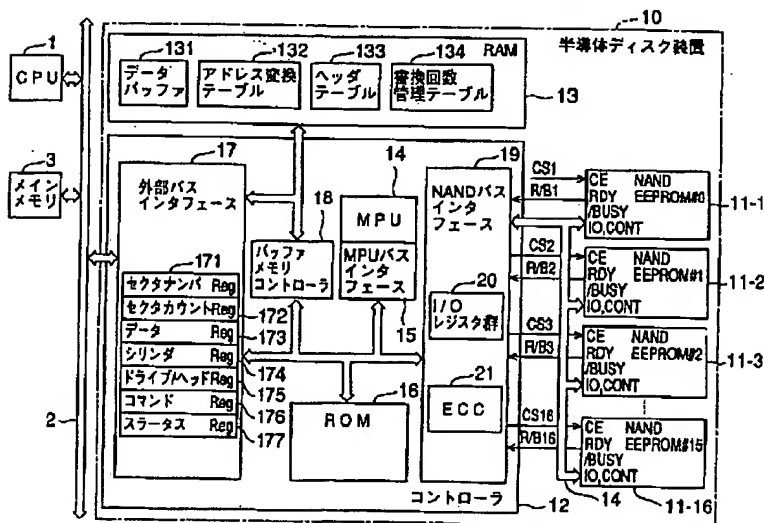
【図 2 2】図 1 の半導体ディスク装置においてホストシステムからのライト要求を受信してからフラッシュEEPROMをライトアクセスするまでに実行されるファームウェアの処理を説明するフローチャート。

【図 2 3】図 1 の半導体ディスク装置において複数のフラッシュ E E P R O M を同時にライトアクセスするために実行されるライトチャネルを利用したライトアクセス制御処理の動作原理を説明するための図。

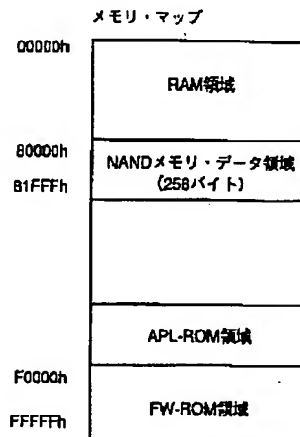
【符号の説明】

10…半導体ディスク装置、11-1~11-16…NAND型フラッシュEEPROM、12…コントローラ、13…RAM、14…マイクロプロセッサ、16…ROM、17…外部バスインタフェース、19…NANDバスインタフェース、21…ECC演算回路、131…データバッファ、132…アドレス変換テーブル、133…ヘッダテーブル、134…書換回数管理テーブル、Ta、Tb、Tc…ライトチャネルテーブル。

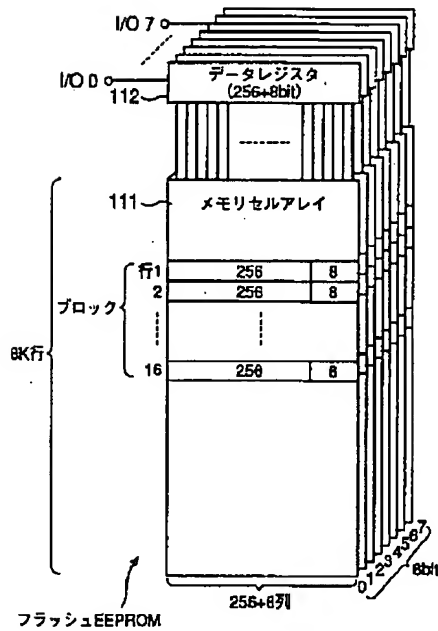
【図 1】



【図4】



【図2】

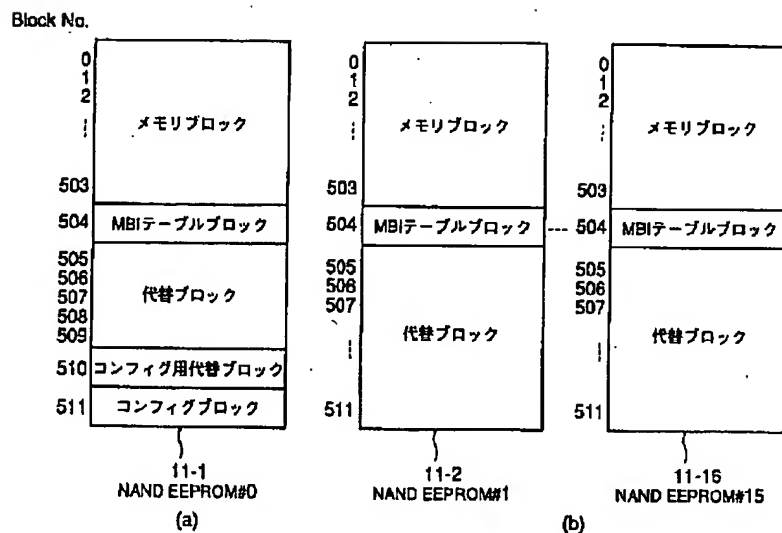


【図3】

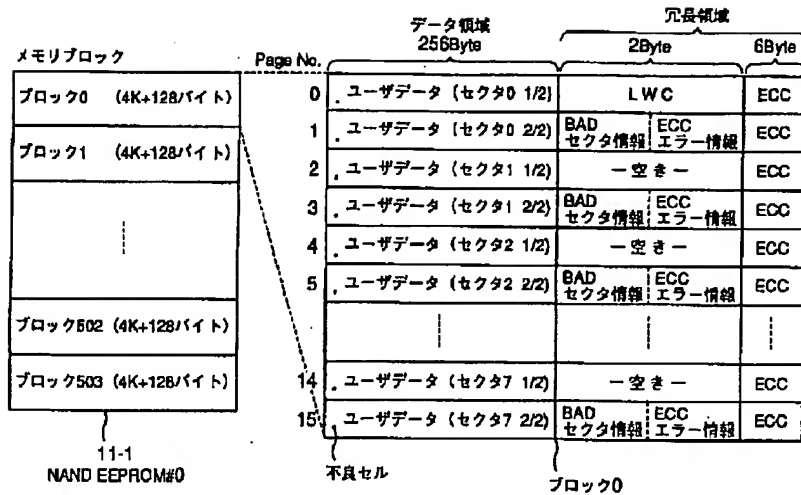
NANDバスインタフェースのI/Oレジスタ群

レジスタ名	Reg	番号
NAND チップNo.	Reg	201
NAND データリード/ライト	Reg	202
NAND CE制御	Reg	203
NAND CLE制御	Reg	204
NAND ALE制御	Reg	205
ECC スタート制御	Reg	206
ECC レディ/ビジーステータス	Reg	207
LWC	Reg	208
ECC データ No.0	Reg	209
ECC データ NO.1	Reg	210
ECC データ No.2	Reg	211
ECC データ No.3	Reg	212
ECC データ No.4	Reg	213
ECC データ No.5	Reg	214
NAND チップ No.0 R/B	Reg	215-1
...		
NAND チップ No.15 R/B	Reg	215-16

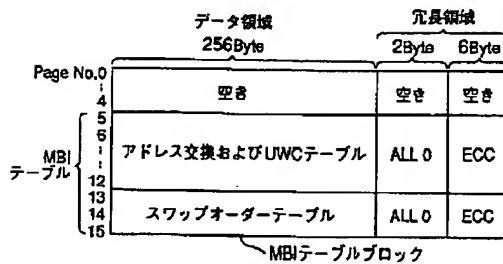
【図5】



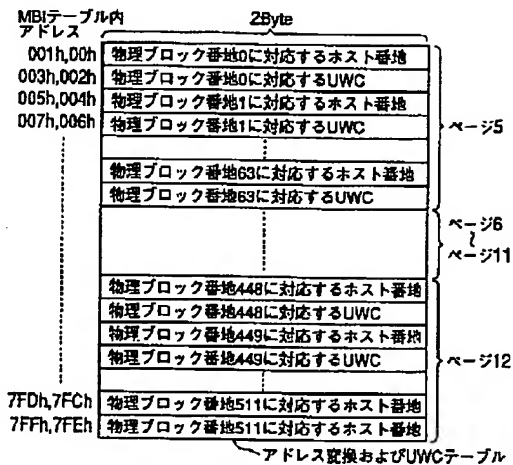
【図6】



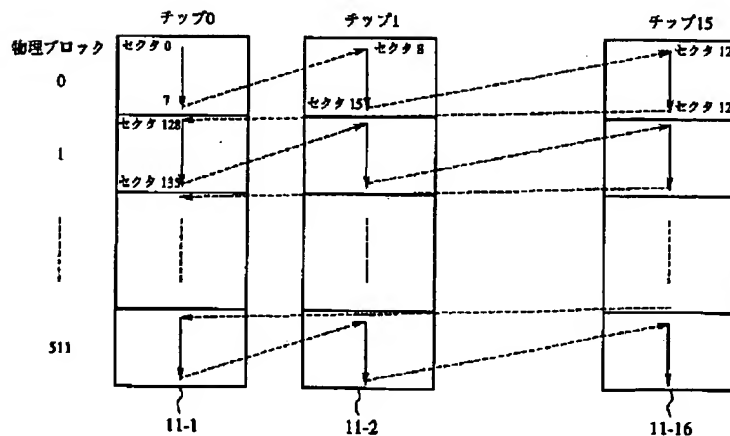
【図7】



【図8】



【図9】



【図10】

MBIテーブル内アドレス	データ	MBIテーブル内アドレス	データ
001H,000H	0 → 1 → 2 → N-1	ホスト番地	
003H,002H	0	UWC	
005H,004H	N → N+1 → N+2 → 2N-1	ホスト番地	
007H,006H	0	UWC	
009H,008H	2N → 2N+1 → 2N+2 → 3N-1	ホスト番地	
00BH,00AH	0	UWC	
00DH,00CH	3N → 3N+1 → 3N+2 → 4N-1	ホスト番地	
00FH,00EH	0	UWC	
3F9H,3F8H	254N → 254N+1 → 254N+2 → 255N-1	ホスト番地	
3FBH,3FAH	0	UWC	
3FDH,3FCH	77FDH → 77FDH → 77FDH → 77FDH	ホスト番地	
3FFH,3FEH	0	UWC	
401H,400H	255N → 255N+1 → 255N+2 → 256N-1	ホスト番地	
403H,402H	0	UWC	
7B1H,7B0H	503N → 503N+1 → 503N+2 → 504N-1	ホスト番地	
7B3H,7B2H	0	UWC	
7B5H,7B4H	77FEH → 77FEH → 77FEH → 77FEH	ホスト番地	
7B7H,7B6H	0	UWC	
7B9H,7B8H	77FEH → 77FEH → 77FEH → 77FEH	ホスト番地	
7BBH,7BAH	0	UWC	
7BDH,7BDH	77FEH → 77FEH → 77FEH → 77FEH	ホスト番地	
7BFH,7BAH	0	UWC	
7D1H,7D0H	77FEH → 77FEH → 77FEH → 77FEH	ホスト番地	
7D3H,7D2H	0	UWC	
7D5H,7D4H	77FEH → 77FEH → 77FEH → 77FEH	ホスト番地	
7D7H,7D6H	0	UWC	

【図11】

MBIテーブル内アドレス	1Byte
800h	最小UWC (H)
801h	最小UWC (L)
802h	最小UWCのブロック数
803h	最小UWC+1のブロック数
804h	最小UWC+2のブロック数
87Ah	最小UWC+120のブロック数
87Bh	— reserved —
87Ch	MBIテーブル自身の書換回数
87Fh	被スワップ1st優先ブロックNo.
880h	被スワップ2nd優先ブロックNo.
881h	被スワップ255th優先ブロックNo.
97Fh	最小UWC (H)
980h	最小UWC (L)
981h	最小UWCのブロック数
982h	最小UWC+1のブロック数
983h	最小UWC+2のブロック数
984h	最小UWC+120のブロック数
9FAh	被スワップ1st優先ブロックNo.
9FBh	被スワップ2nd優先ブロックNo.
9FFh	被スワップ255th優先ブロックNo.
A00h	空
A01h	被スワップ1st優先ブロックNo.
A02h	被スワップ2nd優先ブロックNo.
A03h	被スワップ255th優先ブロックNo.

スワップオーダーテーブル

【図12】

データ領域	冗長領域
256Byte	2Byte 6Byte
Page No.0	ALL 0 ECC
1	コンヒグ情報
2	未使用
3	
4	
5	
6	
7	
8	
9	
10	
11	
12	CIS情報
13	ALL 0 ECC
14	ドライブID情報
15	

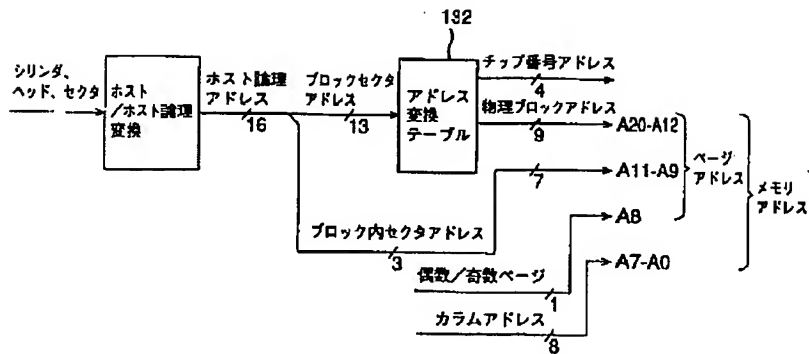
コンヒグブロック

【図13】

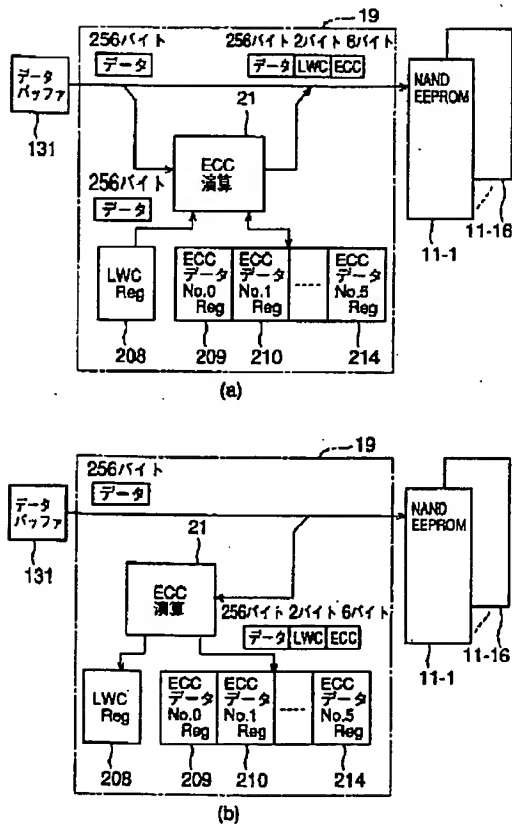
ホストアドレス [ブロックセクタ] アドレス (13bit)	物理アドレス (13bit)
チップ番号アドレス (4bit)	チップ内物理ブロック アドレス (9bit)
0	
1	
2	
3	
4	
5	
6	
7	
8K	

132 アドレス変換テーブル

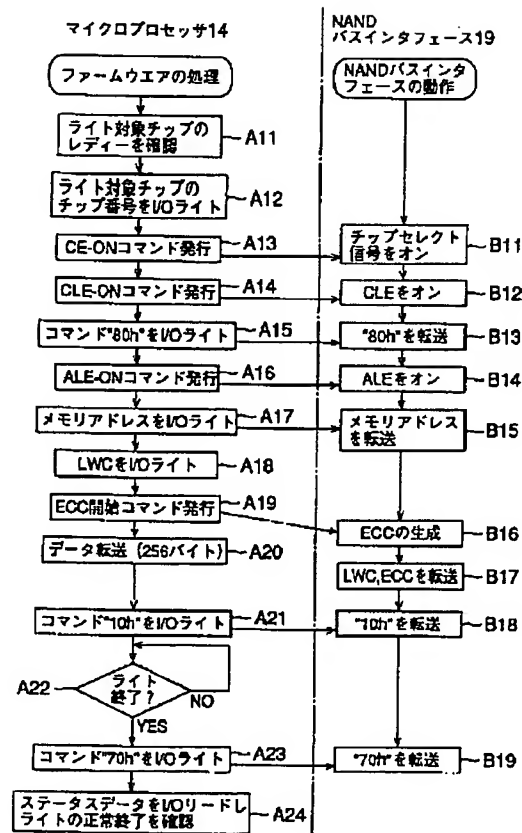
【図14】



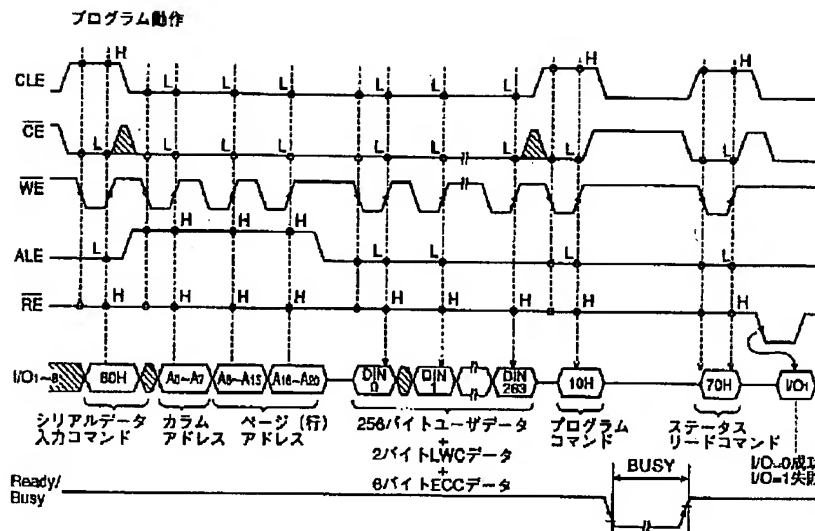
【図15】



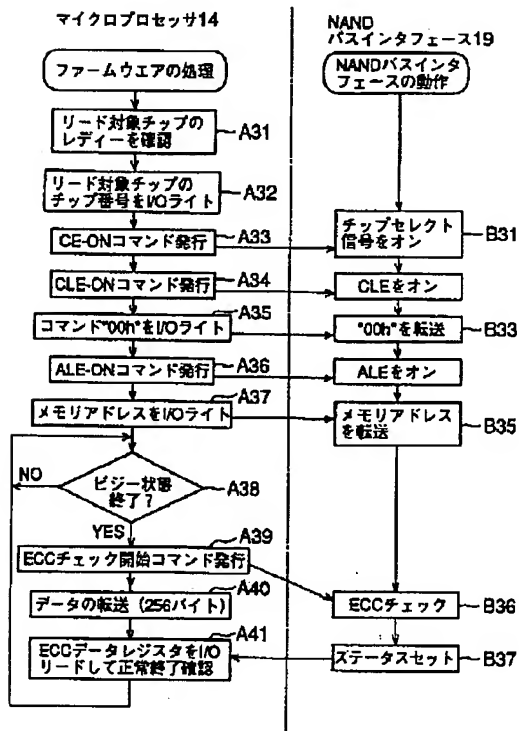
【図16】



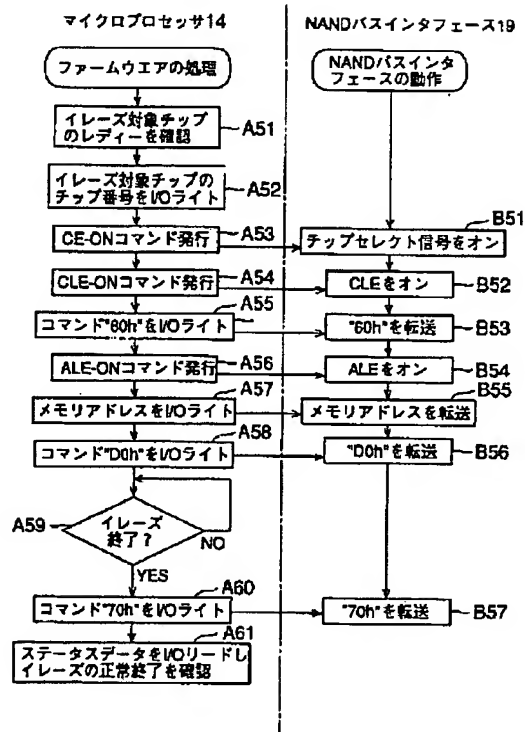
【図17】



【図18】

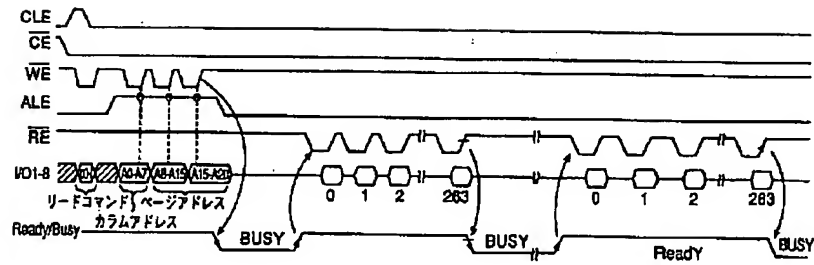


【図20】



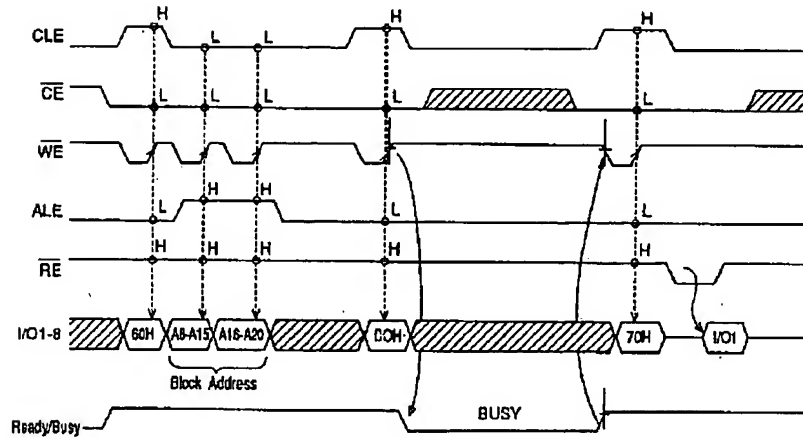
【図19】

シーケンシャルリード動作

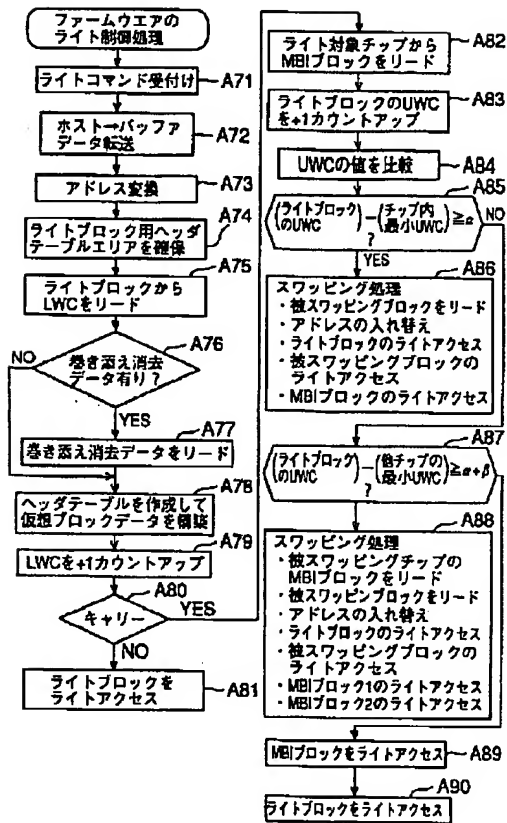


【図21】

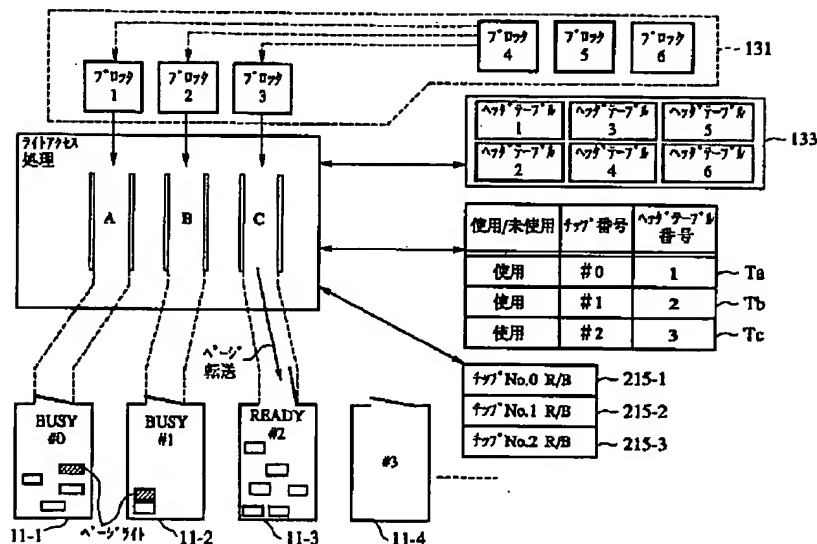
ブロックイレーズ



【図22】



【図23】



(31)

特開平 7-302176

フロントページの続き

(51)Int. Cl.⁶
G11C 16/06

識別記号 庁内整理番号 F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.